

**Micro-interface Sensorial em Tecnologia CMOS
com Transmissão de Dados por Rádio-frequência
para Aplicações Agrícolas**

Por
Raul Morais dos Santos

Tese submetida à
UNIVERSIDADE DE TRÁS-OS-MONTES E ALTO DOURO
para obtenção do grau de
DOUTOR,
de acordo com o disposto no
Decreto-lei 216/92 de 13 de Outubro

© Copyright by Raul Morais dos Santos, 2004

Orientação Científica :

Doutor Carlos Alberto Caridade Monteiro e Couto

Professor Catedrático do
Departamento de Electrónica Industrial
Universidade do Minho

Doutor José Higinio Gomes Correia

Professor Associado do
Departamento de Electrónica Industrial
Universidade do Minho

Este trabalho foi co-financiado pelo FSE
através da medida 5, acção 5.3, do PRODEP III



*O primeiro dever da inteligência
é desconfiar dela mesma.*

Albert Einstein

*À minha filha **Mariana**
À minha esposa **Adelaide***

*Aos meus pais, **Laurinda e Raul***

Micro-interface Sensorial em Tecnologia CMOS com Transmissão de Dados por Rádio-frequência para Aplicações Agrícolas

Raul Moraes dos Santos

Submetido na Universidade de Trás-os-Montes e Alto Douro
para o preenchimento dos requisitos parciais para obtenção do grau de
Doutor em Engenharia Electrotécnica

Resumo — Os modernos sistemas de gestão de processos agrícolas requerem o uso de um número cada vez maior e mais específico de sensores que permitam estimar o desenvolvimento das culturas. A instrumentação tradicional, baseada em soluções discretas com cablagem, não é a mais apropriada para edifícios agrícolas devido, sobretudo, às áreas geográficas que podem estar envolvidas. Além disso, as mais recentes técnicas de controlo baseadas na resposta fisiológica das plantas requerem a monitorização de parâmetros extraídos das próprias plantas. Parâmetros como o teor de água no solo junto às raízes, concentração de nitratos e de poluentes, radiação PAR, e o fluxo de água/nutrientes nos caules, são algumas das grandezas que podem ser obtidas por uma micro-interface sensorial com comunicações sem fios.

Neste trabalho foi desenvolvida uma micro-interface sensorial, em tecnologia CMOS, adequada à medição de parâmetros de desenvolvimento das plantas. O seu tamanho físico reduzido, aliado à transmissão de dados sem fios por rádio-frequência potencia a proliferação destes microssistemas numa rede distribuída de aquisição de dados aplicável à agricultura.

A micro-interface sensorial é composta por um conversor A/D sobreamostrado Delta-Sigma ($\Delta\Sigma$) e por um emissor de rádio-frequência a operar na banda ISM dos 433,92 MHz com uma potência de saída de +10 dBm. As elevadas constantes de tempo associadas às grandezas de interesse nesta aplicação ditaram a escolha de uma arquitectura de conversão de segunda ordem, implementada com técnicas de condensadores comutados numa topologia diferencial. Com uma frequência de amostragem de 423,75 KHz e taxa de sobreamostragem de 256, obteve-se uma gama dinâmica de 98,7 dB (16 bits). O resultado da conversão é codificado em largura de impulso e modulado em ASK antes de ser transmitido. O amplificador de potência RF opera em classe E e a sua rede de carga é exterior ao circuito integrado.

Palavras Chave: sensor inteligente, micro-interface sensorial, conversão A/D $\Delta\Sigma$, transmissão por rádio-frequência, amplificador de potência RF, classe E, tecnologia CMOS.

A RF Wireless CMOS Sensor Micro-Interface for Agriculture Applications

Raul Moraes dos Santos

Submitted to the University of Trás-os-Montes and Alto Douro
in partial fulfillment of the requirements for the degree of
Doctor of Philosophy in Electrical Engineering

Abstract — Efficient management of agricultural processes requires the use of many and specific sensors to estimate crop growth. Traditional instrumentation based on discrete and wired solutions, presents many difficulties to measure or to compute plant physiological responses due to large geographical areas involved. Beside that, modern control strategies, based on plant development, require data from the plants themselves. Some examples are parameters such as the water content at root level, nitrates and pollutants concentration, solar PAR radiation and water and nutrients fluxes in the stem. A low-power micro-system with wireless capabilities is a suitable solution for these measuring purposes.

In this work, it was designed and implemented a RF wireless sensor micro-interface in CMOS technology, suitable for plant sensors and their instrumentation. The micro-interface occupies an area of 3.97 mm^2 and it is suitable for distributed sensors networks in agricultural applications.

The micro-interface basically comprises a Delta-Sigma ($\Delta\Sigma$) modulator for acquiring an external sensor signal and a RF section where data is transmitted to a local processing unit. The $\Delta\Sigma$ modulator is a single-bit, second-order architecture, and it is implemented using switched capacitors techniques in a fully-differential topology. The sampling frequency is 423.75 KHz with an oversampling ratio of 256 in order to achieve a dynamic range of 98.7 dB (16-bit). The output of the modulator is applied to a first-order decimation filter and the result is stored. Before transmission, the data is encoded as a pulse-width modulated signal, assembled in a frame containing preamble and checksum control fields, and modulated in ASK. This frame is then transmitted through a RF power amplifier at ISM-band of 433.92 MHz in class-E mode, delivering an output power of +10 dBm. Total power consumption is about 22 mW. At the end, power supply and packaging issues are briefly discussed and it is also pointed future applications of this work in agriculture.

Key Words: smart sensor, sensor micro-interface, A/D $\Delta\Sigma$ conversion, wireless, RF power amplifier, class-E, CMOS.

Agradecimentos

Institucionalmente, os meus agradecimentos ao Magnífico Reitor da Universidade de Trás-os-Montes e Alto Douro, Professor Doutor Mascarenhas Ferreira, bem como ao seu antecessor, Professor Doutor José Manuel Gaspar Torres Pereira, ao Coordenador do Departamento de Engenharias, Professor Doutor Manuel Cabral Reis, bem como ao seu antecessor, Professor Doutor José Afonso Moreno Bulas Cruz, e ao pessoal administrativo, pelas facilidades concedidas e meios colocados à disposição para a realização deste trabalho.

Ao Professor Doutor Carlos Alberto Caridade Monteiro e Couto, orientador deste trabalho, pelas suas sugestões, ideias inovadoras e orientações que permitiram a sua realização. O meu apreço pela sua amizade e apoio, demonstrados nos últimos 10 anos de trabalho e de convívio comum.

Ao Professor Doutor José Higinio Gomes Correia, na qualidade de co-orientador, pelo seu empenhamento, motivação e discussões que viabilizaram e traçaram de forma significativa, o rumo deste trabalho.

Ao meu colega de gabinete e de área de investigação, António Valente, pelas discussões técnicas, pela cumplicidade e parceria nos trabalhos realizados, pelo companheirismo e amizade que demonstrou, que em muito contribuíram para a execução do trabalho, bem como de manter a minha sanidade mental nos momentos de aperto.

Aos meus colegas de departamento que pelas suas competências técnicas, sugestões e amizade contribuíram de forma significativa para este trabalho. Especialmente ao colega José Boaventura pelas discussões e conversas sobre sistemas de controlo e aspectos práticos no campo da agricultura e de estufas agrícolas, que contribuíram significativamente para este trabalho.

Ao colega Fernando Gouveia, que dispôs do seu tempo para efectuar as necessárias correcções ortográficas e gramaticais deste documento.

Ao Álvaro Lopes, pelas suas competências técnicas, pelo seu entusiasmo e empenho demonstrados na captura das sequências binárias do modulador para um computador, utilizando a porta paralela em modo EPP.

Aos meus pais por se terem visto privados da minha companhia nos últimos 3 anos.

Finalmente, o meu especial agradecimento à minha esposa, que pela sua personalidade, companheirismo, cumplicidade e amizade criaram as condições essenciais de paz e de espaço que tornaram possível a concretização deste trabalho.

A todos, bem hajam !

UTAD, Vila Real
25 de Fevereiro, 2004

Raul Morais dos Santos

Índice

Resumo	i
<i>Abstract</i>	iii
Agradecimentos	v
Lista de tabelas	x
Lista de figuras	xii
Lista de símbolos	xix
1 Introdução	1
1.1 Gestão da produção agrícola	1
1.2 Grandezas físicas e químicas de interesse	4
1.3 Interfaces sensoriais	8
1.4 Micro-interfaces	11
1.5 Motivação e objectivos	14
1.6 Organização da tese	16
2 Conversão Analógico-Digital	19
2.1 Princípios básicos de conversão A/D	20
2.1.1 Amostragem de sinais contínuos	21
2.1.2 Quantificação e sobreamostragem	24

2.1.3	Parâmetros associados aos conversores A/D	27
2.2	Conversores de ritmo de Nyquist	31
2.2.1	Conversores de um passo	31
2.2.2	Conversores multipasso	32
2.2.3	Conversão por integração no tempo	34
2.2.4	Comparação dos conversores A/D tradicionais	37
2.2.5	Dificuldades na integração em tecnologia CMOS	38
2.3	Conversores Delta-Sigma	39
2.3.1	Modulação de ruído	40
2.3.2	Modulador Delta-Sigma de 1ª ordem	42
2.3.3	Modulador Delta-Sigma de 2ª ordem	47
2.3.4	Arquitecturas de conversores A/D $\Delta\Sigma$	50
2.3.5	Efeito das não-idealidades dos circuitos constituintes	55
2.4	Seleção do Conversor A/D	61
2.5	Implementação contínua <i>versus</i> discreta	65
2.5.1	Integrador em tempo contínuo	65
2.5.2	Condensadores comutados	66
2.5.3	Integrador em tempo discreto	69
2.5.4	Filtragem digital e decimação	74
2.6	Conversor $\Delta\Sigma$ de segunda ordem	78
3	Transmissão de Dados Sem Fios	81
3.1	Sistemas de monitorização remota	82
3.2	Aquisição distribuída de dados sem fios	84
3.3	Arquitectura de um sensor remoto	86
3.4	Conceitos de amplificação de potência	88
3.4.1	Eficiência e ganho em potência	89
3.4.2	Factor de utilização	90
3.5	Classes de operação	90
3.6	Amplificadores RF lineares	91
3.6.1	Considerações gerais	92
3.6.2	Amplificador de Classe A	94
3.6.3	Amplificador de Classe B	96
3.6.4	Amplificador de Classe C	98
3.6.5	Amplificador de Classe AB	101
3.7	Amplificadores RF comutados	102
3.7.1	Conceitos básicos de comutação	102
3.7.2	Modulação de dreno	103
3.7.3	Amplificador de classe D	104
3.7.4	Amplificador de classe E	107

3.7.5	Amplificador de classe F	110
3.8	Resumo comparativo das classes de operação	113
3.9	Técnicas de modulação	114
3.9.1	Modulação digital em amplitude	116
3.9.2	Modulação digital em frequência	117
3.9.3	Modulação digital em fase	117
3.9.4	Eficiência de utilização do canal	118
3.9.5	Imunidade ao ruído e taxa de erros	120
3.10	Seleção do amplificador de potência RF	123
3.11	Frequência de operação	124
3.12	Emissor RF	125
4	Implementação da Micro-Interface Sensorial	127
4.1	Arquitetura da micro-interface sensorial	128
4.2	Arquitetura do modulador $\Delta\Sigma$	130
4.2.1	Operação do modulador	130
4.2.2	Amplificador operacional	137
4.2.3	Comparador	150
4.2.4	Conversor D/A de 1 bit	151
4.2.5	Simulação do modulador	153
4.2.6	<i>Layout</i> do modulador	154
4.3	Filtragem digital de primeira ordem	156
4.3.1	Base de tempos	157
4.3.2	Contador de 14 bits	157
4.4	Subsistema de transmissão de dados	159
4.4.1	Construção da trama	160
4.4.2	Codificação por largura de impulso	161
4.4.3	Sintetizador da frequência de operação	162
4.4.4	Modulação ASK	179
4.4.5	Amplificador de potência RF	180
4.5	<i>Layout</i> da micro-interface sensorial	188
5	Resultados Experimentais e Discussão	189
5.1	Testes ao desempenho do modulador $\Delta\Sigma$	190
5.2	Testes do subsistema de transmissão	195
5.3	Discussão dos resultados	198
6	Conclusões Finais e Trabalho futuro	201
	Bibliografia	205

Lista de Tabelas

2.1	O tamanho do bit menos significativo - LSB.	28
2.2	Resumo comparativo das arquitecturas A/D tradicionais.	37
2.3	Resolução efectiva versus gama dinâmica.	61
2.4	Principais vantagens e desvantagens da técnica de condensadores co-mutados.	68
3.1	Sumário das características das diversas classes de operação	115
3.2	Comparação dos esquemas de modulação digital	122
4.1	Dimensões (W/L) dos transístores da <i>transmission gate</i>	134
4.2	Valores dos condensadores utilizados no modulador $\Delta\Sigma$	135
4.3	Dimensões (W/L) dos transístores do amplificador operacional.	142
4.4	Dimensões (W/L) dos transístores do circuito CMFB.	143
4.5	Dimensões (W/L) dos transístores do circuito de polarização.	147
4.6	Características do amplificador.	147
4.7	Dimensões (W/L) dos transístores do circuito do comparador.	152
4.8	Dimensões (W/L) dos transístores do conversor D/A.	153
4.9	Valores dos componentes utilizados na bomba de carga	172
4.10	Dimensões (W/L) dos transístores do VCO.	176
4.11	Simulações do comportamento da PLL.	178

4.12	Determinação dos valores dos componentes do amplificador de potência.	183
4.13	Resumo dos valores calculados para o amplificador de potência. . . .	184
5.1	Resumo das características da micro-interface sensorial.	200

Lista de Figuras

1.1	Fotografias de dois sistemas de interface e comando utilizados na monitorização e controlo de grandezas ambientais em estufas agrícolas. .	9
1.2	Fotografia de uma interface sensorial sem fios para estufas agrícolas. .	10
1.3	Exemplos de micro-interfaces sensoriais	13
1.4	Perspectiva da interface sensorial juntamente com um microsensor de medida do teor de água no solo.	15
1.5	Fotografia da micro-interface implementada.	16
2.1	Passos básicos de uma conversão A/D.	20
2.2	Amostragem de sinais contínuos.	22
2.3	Representação espectral do processo de amostragem.	23
2.4	Separação entre o espectro do sinal contínuo e a sua réplica quando a frequência de amostragem é superior ao mínimo.	23
2.5	Funções de transferência de um quantificador de 2 níveis (1 bit) e multi-nível, e erros de quantificação correspondentes.	25
2.6	Espectro do sinal e do ruído de quantificação na conversão A/D. . . .	26
2.7	Curva característica da relação sinal-ruído em função da entrada do quantificador.	30
2.8	Diagrama funcional da arquitectura <i>flash</i>	32

2.9	Diagrama funcional do conversor A/D multipasso.	33
2.10	Diagrama funcional do conversor A/D por aproximações sucessivas. .	34
2.11	Conversão A/D por integração no tempo (rampa simples).	35
2.12	Conversão A/D por integração no tempo (dupla rampa).	36
2.13	Conversão A/D por sobreamostragem e modulação de ruído.	40
2.14	Representação genérica de um modulador $\Delta\Sigma$	41
2.15	Modelo linear de um modulador $\Delta\Sigma$ de primeira ordem.	42
2.16	Ilustração do efeito de <i>pattern noise</i> no modulador $\Delta\Sigma$ de 1ª ordem .	46
2.17	Estrutura convencional de um modulador $\Delta\Sigma$ de segunda ordem. . .	47
2.18	Arquitetura modificada de um modulador $\Delta\Sigma$ de segunda ordem. . .	48
2.19	Arquitetura genérica de um modulador $\Delta\Sigma$ de segunda ordem. . . .	49
2.20	Modulação de ruído obtida pelos moduladores $\Delta\Sigma$ de 1ª e 2ª ordens.	50
2.21	Diagrama de blocos de um modulador de um estágio e ordem L	51
2.22	SNR em função da ordem do modulador e da taxa de sobreamostragem.	52
2.23	Diagrama de blocos de um modulador em cascata.	53
2.24	Modelo linear de um modulador $\Delta\Sigma$ com quantificação multi-bit com erros de não-linearidade.	54
2.25	SNR em função da taxa de sobreamostragem M e da ordem L de um modulador $\Delta\Sigma$	64
2.26	Integrador em tempo contínuo.	65
2.27	A técnica de condensadores comutados.	67
2.28	Formas de onda típicas de um esquema de comutação de duas fases. .	67
2.29	Integrador com condensadores comutados.	69
2.30	Filtragem digital e conversão de taxa num conversor A/D $\Delta\Sigma$	74
2.31	Operação de filtragem e decimação por uma taxa M	75
2.32	Resposta em frequência de filtros do tipo <i>sinc</i> , <i>sinc</i> ² e <i>sinc</i> ³	77
2.33	Implementação diferencial de um modulador $\Delta\Sigma$ de segunda ordem. .	79
3.1	Sistema de medição com transmissão analógica.	83
3.2	Sistema de monitorização com transmissão digital.	83
3.3	Monitorização remota sem fios.	84
3.4	Ilustração do conceito de aquisição remota distribuída.	86
3.5	Diagrama de blocos de um sensor remoto genérico.	87

3.6	Diagrama de blocos de um emissor RF genérico.	87
3.7	Modelo simplificado de um amplificador de potência linear.	92
3.8	Formas de onda associadas a um amplificador de potência genérico	93
3.9	Formas de onda típicas associadas à classe de operação B	96
3.10	Formas de onda típicas associadas à classe de operação C	99
3.11	Detalhe da forma de onda da corrente de dreno.	99
3.12	Modelo simplificado de um amplificador comutado.	103
3.13	Amplificador de classe D.	105
3.14	Formas de onda ideais no amplificador de classe D	105
3.15	Amplificador de classe D com um interruptor.	106
3.16	Circuito clássico de um amplificador de classe E.	108
3.17	Formas de onda típicas de um amplificador de classe E.	109
3.18	Amplificador de classe F.	111
3.19	Formas de onda típicas de um amplificador de classe F.	112
3.20	Formas de onda associadas à modulação ASK.	117
3.21	Formas de onda associadas à modulação FSK.	117
3.22	Formas de onda associadas à modulação PSK.	118
3.23	Espectro de um sinal modulado em ASK.	119
3.24	Espectro de um sinal modulado em FSK.	119
3.25	Espectro de um sinal modulado em PSK.	120
3.26	Probabilidade de ocorrência de erro na recepção versus E_B/N_0	122
3.27	Diagrama de blocos do emissor RF proposto.	126
4.1	Diagrama de blocos da interface sensorial proposta.	129
4.2	Modulador $\Delta\Sigma$ de segunda ordem com condensadores comutados. . .	131
4.3	Circuito do gerador de fases de relógio.	132
4.4	Formas de onda das fases de relógio.	133
4.5	Circuito e simbologia da <i>transmission gate</i> utilizada no modulador. .	133
4.6	<i>Layout</i> dos condensadores do modulador $\Delta\Sigma$	136
4.7	O integrador SC e circuito equivalente durante a fase de integração .	136
4.8	Circuito do amplificador operacional.	138
4.9	Modelo para pequenos sinais do amplificador <i>Folded-Cascode</i>	139
4.10	Circuito de realimentação em modo comum CMFB.	143

4.11	Espelhos de corrente	144
4.12	Circuito de polarização <i>wide-swing constant-transconductance</i>	145
4.13	Resposta em frequência em malha aberta do amplificador operacional.	148
4.14	Utilização da técnica de estabilização por <i>chopper</i> na redução das não-idealidades de um amplificador operacional.	149
4.15	Aplicação do <i>chopper</i> ao amplificador operacional do primeiro inte- grador do modulador $\Delta\Sigma$	150
4.16	Circuito do comparador (quantificador de 1 bit).	151
4.17	Circuito do conversor D/A.	152
4.18	Simulação da resposta transitória do primeiro integrador.	153
4.19	Detalhe da saída diferencial do integrador.	154
4.20	Simulação do modulador $\Delta\Sigma$ para uma entrada sinusoidal	155
4.21	<i>Layout</i> do modulador $\Delta\Sigma$	155
4.22	Diagrama de blocos do circuito de decimação.	156
4.23	Circuito utilizado para a base de tempos do filtro decimador.	157
4.24	Circuito utilizado para a implementação de um contador de 14 bits.	158
4.25	Circuito utilizado para a implementação de uma <i>latch</i> de 14 bits.	158
4.26	Formas de onda de alguns sinais do circuito de filtragem digital.	159
4.27	Diagrama de blocos do subsistema de transmissão de dados.	159
4.28	Estrutura da trama de dados.	160
4.29	Diagrama de blocos do módulo de construção de trama.	161
4.30	Formas de onda da codificação por largura de impulso.	162
4.31	Diagrama de blocos de uma PLL.	163
4.32	Modelo linear de uma PLL.	164
4.33	Diagrama de Bode da resposta da PLL em malha aberta.	165
4.34	Detector fase/frequência básico.	166
4.35	Função de transferência do detector de fase/frequência.	167
4.36	Formas de onda associadas ao detector de fase/frequência	168
4.37	Detector de fase/frequência implementado.	169
4.38	Princípio de funcionamento de uma bomba de carga.	170
4.39	Implementação convencional de uma bomba de carga.	170
4.40	Circuito da bomba de carga implementada.	171

4.41	Filtro de malha de 3ª ordem.	173
4.42	Circuito do VCO implementado.	175
4.43	Simulação da saída do VCO.	177
4.44	Simulação da função de transferência do VCO.	177
4.45	Simulação da resposta da PLL para 3 conjuntos de valores de filtro de malha.	178
4.46	<i>Layout</i> da PLL.	179
4.47	Circuito do modulador ASK.	180
4.48	Circuito do amplificador de potência de classe E.	180
4.49	Transformação de impedância no amplificador de classe E.	185
4.50	<i>Layout</i> do modulador ASK e do transistor M_1	186
4.51	Resposta transitória do amplificador numa carga de $50\ \Omega$	187
4.52	Fotografia comentada da micro-interface sensorial.	188
5.1	Fotografia do circuito de caracterização da micro-interface sensorial. .	190
5.2	Disposição dos componentes no circuito impresso.	190
5.3	Esquema do circuito de caracterização.	191
5.4	Espectro obtido para uma entrada sinusoidal de amplitude -20 dBV e frequência 200 Hz.	193
5.5	Espectro obtido para uma entrada sinusoidal de amplitude -20 dBV e frequência 300 Hz.	193
5.6	Espectro obtido para uma entrada sinusoidal de amplitude -20 dBV e frequência 20 Hz.	194
5.7	Valores de SNDR e DR obtidos para uma entrada sinusoidal de 100 Hz e amplitude variável, com uma taxa de amostragem $M = 256$	194
5.8	Sinal de relógio e saída do modulador $\Delta\Sigma$ para uma entrada diferen- cial zero.	195
5.9	Formas de onda relacionadas com a geração de trama	196
5.10	Espectro obtido à saída do amplificador de potência RF	197
5.11	Trama transmitida e recebida	198
6.1	Proposta de um microssistema completo para a medição de radiação solar.	204

Lista de símbolos

Símbolo	Descrição	Unidades
T	Período	s
T_s	Período de amostragem	s
f	Frequência	Hz
f_s	Frequência de amostragem	Hz
f_B	Frequência limite da banda-base	Hz
f_N	Frequência de Nyquist	Hz
f_u	Frequência para ganho unitário	Hz
BW	Largura de banda	Hz
ω	Frequência angular	rad
M	Taxa de sobreamostragem	—
ϕ	Fases de um sinal de relógio	—
CMRR	Taxa de rejeição em modo comum	dB
PSRR	Taxa de rejeição de variações de alimentação	dB
Δ	Degrau de quantificação	V
T	Temperatura	K
Q	Carga eléctrica	C
Z	Impedância	Ω
R	Resistência eléctrica	Ω
R_L	Resistência de carga	Ω
C	Capacidade eléctrica	F
C_L	Capacidade de carga	F
L	Indutância	H

(continua na página seguinte)

(continuação)

Símbolo	Descrição	Unidades
Q	Factor de qualidade	—
δ	Impulso de Dirac (função delta)	
G	Ganho	$V V^{-1}$
$v(t)$	Tensão em função do tempo	V
V_{DD}	Tensão de alimentação	V
V_{CM}	Tensão em modo comum	V
V_{CMFB}	Tensão de realimentação em modo comum	V
v_{out}	Tensão à saída	V
v_{in}	Tensão à entrada	V
V_{CM}	Tensão de modo comum	V
v_{od}	Tensão à saída diferencial	V
v_{FB}	Tensão de realimentação	V
V_{TH}	Tensão térmica (kT/q)	V
$i(t)$	Corrente em função do tempo	A
i_d	Corrente de dreno	A
$\overline{v_g^2}$	Densidade espectral do ruído térmico de um MOSFET	$V^2 Hz^{-1}$
r_o	Resistência de saída	Ω
r_{ds}	Resistência <i>drain-source</i> de um transístor	Ω
v_{ds}	Tensão <i>drain-source</i>	V
g_m	Transcondutância	S
W	Largura do canal de um transístor	m
L	Comprimento do canal de um transístor	m
μ_n/μ_p	Mobilidade dos portadores de carga à superfície	$m^2 V^{-1} s^{-1}$
t_{ox}	Espessura do óxido de silício	m
C_{ox}	Capacidade do óxido normalizada	$F m^{-2}$
θ	Factor de degradação da mobilidade	V^{-1}
k	Constante de Boltzmann ($1,3806226 \times 10^{-23}$)	$J K^{-1}$
q	Carga do electrão ($1,6021918 \times 10^{-19}$)	C
n_i	Densidade de portadores intrínsecos ($1,45 \times 10^{16}$)	m^{-3}
ε_0	Constante dieléctrica do vazio ($8,854 \times 10^{-12}$)	$F m^{-1}$
ε_{Si}	Constante dieléctrica do silício ($11,7\varepsilon_0 = 1,0359 \times 10^{-10}$)	$F m^{-1}$
ε_{ox}	Constante dieléctrica do SiO_2 ($3,97\varepsilon_0 = 3,453 \times 10^{-11}$)	$F m^{-1}$



Introdução

O aumento exponencial da população mundial e as restrições ao aumento da superfície arável levam a que os sistemas de gestão de processos agrícolas tenham de ser cada vez mais eficazes por forma a promoverem o aumento da produtividade das colheitas, a sua rentabilidade, a preservação do meio ambiente, a racionalização dos recursos naturais e o controlo de pragas e fungos. A monitorização das características dos solos agrícolas (nitratos, teor de água, poluentes, etc.) e dos factores de desenvolvimento das plantas revela-se assim primordial, bem como o desenvolvimento das respectivas interfaces sensoriais.

1.1 Gestão da produção agrícola

A gestão da produção agrícola tem sofrido nos últimos anos uma verdadeira revolução quer em termos tecnológicos quer em termos de filosofia [1]. Os recentes avanços nas áreas da tecnologia electrónica e da informação, nomeadamente nas suas aplicações à produção agrícola, têm criado o potencial para uma mudança substancial na gestão e apoio à decisão na agricultura. A aplicação destas novas tecnologias neste domínio é conhecida por várias designações, sendo o termo “Agricultura de Precisão” o mais conhecido [2, 3]. Genericamente, a agricultura de precisão é uma estratégia de gestão que utiliza tecnologias da informação e electrónica para reunir

informação de múltiplas fontes, por forma a apoiar decisões associadas à produção agrícola. É composta essencialmente por três componentes: recolha de dados, interpretação e análise dos dados, e implementação de uma resposta à escala e em tempo adequados. Nesta estrutura de apoio à decisão, toda a informação é processada de um modo automático, cabendo ao supervisor do processo tomar a decisão quanto à resposta final [3]. Esta é, normalmente, influenciada pelo conhecimento implícito adquirido por observação e experiência do supervisor.

Embora esta seja uma área emergente e em contínua evolução, o que se deve à natureza dinâmica dos avanços das tecnologias da informação, existem algumas aplicações práticas de sucesso, como por exemplo a recolha e processamento de imagens para classificação de frutos [4]. Actualmente a tendência de evolução nesta área é no sentido de a recolha de dados ser electrónica, automatizada, de baixo custo e ocorrer mais frequentemente e com maior detalhe. Além disso, a interpretação dos dados recolhidos e a sua análise tende a ser mais formal e analítica e as regras de decisão, suportadas numa base científica, serão aplicáveis aos actuais procedimentos agrícolas. A implementação de uma resposta será mais específica, quer em localização, quer em tempo.

Acompanhando esta tendência, os sistemas de gestão de processos agrícolas recorrem cada vez mais a um maior número de sensores e à monitorização de um maior número de parâmetros que reflectem, directa ou indirectamente, o desenvolvimento das plantas. Com a introdução de novos conceitos de aquisição de dados, controlo distribuído, inteligência artificial e previsão das condições climatéricas, os sistemas de apoio à decisão têm-se tornado uma ferramenta poderosa no auxílio à produção agrícola. É neste contexto que as tecnologias da electrónica e da informação têm tido, nos últimos anos, um papel preponderante na evolução de novas soluções de instrumentação, controlo e gestão de processos agrícolas.

O panorama agrícola em Portugal

Especificamente em Portugal, vários parâmetros importantes que afectam a quantidade e a qualidade das culturas, quer em ambiente livre quer protegido, não são

frequentemente monitorizados. Este facto leva a que o controlo e gestão das explorações agrícolas portuguesas seja pouco eficiente quando comparado com as suas congéneres europeias. Além desta razão de carácter tecnológico, há ainda aspectos sociais e económicos que também contribuem para a baixa competitividade do sector agrícola nacional.

A maioria das explorações agrícolas em Portugal (90 %) são de cariz familiar, encaradas como de subsistência, ou então pequenas unidades comerciais¹. Geralmente, estas não possuem sistemas tecnológicos que permitam fazer face às novas exigências de concorrência internacional ou, quando as possuem, são muitas vezes soluções rudimentares. Algumas das razões apontadas para a parca implantação de ferramentas de apoio à agricultura relacionam-se com a idade avançada das populações agrícolas, o investimento e manutenção de equipamento, o conhecimento mais ou menos profundo do processo agrícola e das tecnologias existentes. É por estes motivos que Portugal se situa em último lugar da Europa em termos de retorno económico das suas explorações agrícolas². No caso de estufas agrícolas, a área total destas estruturas é de apenas 1 600 ha em Portugal, sendo a Itália o país da União Europeia com maior área coberta de estufas (cerca de 28 750 ha), de um total mundial estimado em 800 000 ha [5].

Urge, assim, promover rapidamente a utilização de novas tecnologias da informação e electrónica na gestão do processo agrícola produtivo. As potencialidades das soluções de instrumentação, aquisição de dados e controlo ambiental, bem como a tendência para a sua redução de custos, justificam o emprego na função de regulação dos parâmetros ambientais nos edifícios agrícolas nacionais.

Além disso, e dado o elevado custo da energia em Portugal, só o recurso a estas novas tecnologias permitirá a implementação de estratégias de controlo complexas que possibilitem uma utilização racional de energia e, por conseguinte, o aumento da competitividade.

¹Segundo dados referentes a 2001, publicados pela Comissão Europeia do Desenvolvimento Rural e Agrícola (http://europa.eu.int/comm/agriculture/rur/countries/pt/file2003_en.pdf).

²Segundo dados referentes a 2001, publicados pela Comissão Europeia do Desenvolvimento Rural e Agrícola (http://europa.eu.int/comm/agriculture/publi/fact/rurdev2003/ov_en.pdf).

1.2 Grandezas físicas e químicas de interesse

O crescimento das plantas é um processo fisiológico complexo que depende maioritariamente do ambiente, ou clima, que a rodeia e do acesso à água e nutrientes necessários ao seu desenvolvimento. A interacção entre todos estes parâmetros de crescimento leva a que muitas vezes seja necessária a monitorização de um elevado número de grandezas que, posteriormente, podem ser relacionadas através de modelos matemáticos para estimar o desenvolvimento e extrair outro tipo de informação, já no domínio dos sistemas de apoio à decisão. Por outro lado, a quantificação dos factores que influenciam o desenvolvimento das plantas é de especial relevância na origem de acções de controlo que visam o estabelecimento de condições óptimas de desenvolvimento.

Existem actualmente estudos na área dos controladores ambientais de estufas que se baseiam na resposta biológica das plantas. Nestes, utiliza-se informação sobre o estado de desenvolvimento das plantas por forma a optimizar as condições favoráveis das mesmas. Este é de facto um grande avanço, dado que permite, através da informação recolhida directamente da planta, o controlo real do seu desenvolvimento. Este tipo de informação deve no entanto ser extraída através de sensores apropriados. Exemplos são a medida do fluxo de água e de minerais nos caules, a temperatura das folhas, a troca de gases nos estomas, entre outros, que até à data são difíceis e dispendiosos de medir [6].

No campo de controlo de pragas, existem também estudos sobre a utilização de técnicas de detecção automática de insectos. Um dos exemplos é a detecção de batimentos de asa característicos de alguns insectos através de sensores de ultrasons. Com esta técnica, torna-se também possível, e de uma forma automática, detectar pragas e accionar algum tipo de resposta que possibilite minimizar os seus efeitos nas culturas.

Pela importância da monitorização das variadas grandezas, apresenta-se de seguida um breve resumo de algumas e o modo como afectam, em termos gerais, o

desenvolvimento das plantas, baseado num estudo de Zazueta *et al* [7]. Além destas, muitas outras constituem fonte de informação útil sobre o desenvolvimento das plantas. No entanto, dadas as suas especificidades, normalmente só são adquiridas recorrendo a equipamento de investigação dispendioso.

Temperatura

Das variáveis climáticas é talvez a mais importante, dado que afecta as funções metabólicas das plantas, sendo que o seu valor óptimo depende da variedade agrícola cultivada. Temperaturas elevadas provocam danos permanentes nas plantas, queimando-as, enquanto que valores baixos conduzem a deformações estruturais e a queimaduras pelo frio.

Além da temperatura ambiente a que as plantas estão sujeitas, e especificamente no caso de estufas agrícolas, é também importante determinar o valor da temperatura em outros locais, como por exemplo a temperatura do solo, temperaturas da água à entrada e saída dos sistemas de aquecimento, temperatura da cobertura da estufa, temperatura da solução de nutrientes, entre outras.

Humidade relativa

A humidade relativa (RH) é a medida do teor de humidade do ar. Em geral, a humidade relativa óptima para o crescimento das plantas situa-se entre os 70 e os 85 %. O excesso favorece o aparecimento de doenças por fungos e limita os mecanismos de regulação de temperatura da planta por transpiração. Por outro lado, baixos valores de humidade provocam uma diminuição na taxa de crescimento da planta. Para além do referido, é de salientar que a humidade relativa do ar desempenha também um papel importante no controlo da temperatura, pois afecta o processo de arrefecimento do ar por evaporação de água.

Radiação solar

A radiação solar total recebida à superfície do planeta pode ser dividida em radiação directa (originada pelo Sol na sua posição) e difusa (dispersada pela atmosfera e pelas nuvens). Cerca de 99 % do fluxo energético solar recebido ao nível do planeta está

compreendido na região dos comprimentos de onda entre os 300 e os 2500 nm. Para as plantas, a região de interesse situa-se nos comprimentos de onda visíveis (entre os 400 e os 700 nm), denominada radiação activa fotossintética (*Photosynthetic Active Radiation* - PAR). Cerca de metade da energia solar total é irradiada nesta região. Apenas parte desta é absorvida pelas plantas e directamente convertida no processo fotossintético, sendo a restante convertida em calor. A radiação PAR é essencial para o crescimento das plantas e o seu crescimento estagna quando os níveis de radiação global diária se tornam inferiores a um determinado valor, consoante a espécie. No caso particular de culturas em estufas agrícolas, o conhecimento do valor deste tipo de radiação é fundamental, dado que o seu excesso pode ser controlado através de redes de sombreamento e a sua falta compensada por radiação artificial suplementar fornecida por lâmpadas de características espectrais específicas.

Dióxido de carbono

O dióxido de carbono (CO_2) presente no ar, combinado com a água, luz e calor, é assimilado pelas plantas por forma a sintetizarem matéria orgânica. A concentração deste gás no ar livre é de aproximadamente 350 partes por milhão (ppm). O aumento de CO_2 , juntamente com condições favoráveis de temperatura e de luminosidade, leva a um maior desenvolvimento das plantas. Em estufas agrícolas, a concentração de CO_2 apresenta uma variação diária. Durante a noite atinge valores relativamente elevados (cerca de 600 ppm) e durante o dia, devido à fotossíntese e à baixa renovação do ar, pode descer até às 200 ppm, levando a uma redução considerável na formação de matéria vegetal. Dado este facto, é desejável fazer-se com frequência a injeção de CO_2 (até níveis que podem atingir 1000 ppm) por processos artificiais, como a combustão e a utilização de depósitos industriais de CO_2 [8].

Velocidade do ar

Embora este parâmetro não seja controlável em culturas em campo aberto, pode ser considerado benéfico nos aspectos de ventilação da planta e da promoção da polinização. No caso das estufas, este parâmetro mantém uma diferença de potencial

hídrico entre o ar e as folhas das plantas, favorecendo a evapotranspiração e mantendo o ar mais homogêneo. Valores excessivos provocam, no entanto, a desidratação das plantas.

Condutividade, pH e nutrientes

As técnicas de cultura hidropônicas (sem solo) são cada vez mais empregues na horticultura. Na hidroponia, as plantas são colocadas num substrato inerte que é irrigado por uma solução nutriente, sendo vital para o ciclo biológico das plantas garantir a regulação dos parâmetros de qualidade dessa solução (pH, temperatura e condutividade) [9]. Visto que nestes sistemas o substrato possui uma capacidade muito limitada de retenção de água e de nutrientes, é necessário garantir-se a medida fiável do pH e da concentração dos sais, de forma a estabelecer a sua adequada regulação e otimizar a produção.

Teor de água no solo

Esta grandeza traduz essencialmente a quantidade de água disponível para a planta, sendo o principal parâmetro de medida em sistemas de controlo de irrigação. A irrigação inadequada conduz a dois tipos de situações distintos, ambas limitativas para a produção. No caso de uma rega insuficiente, as plantas tendem a sofrer de *stress* hídrico, visto deixarem de ter a água suficiente para poder regular a sua temperatura. Além disso, a planta deixa de ter o veículo de transporte dos sais minerais e nutrientes, necessários à produção de massa vegetal. Por outro lado, o excesso de água nas raízes leva ao aparecimento de pragas e fungos, provocando *stress* nas plantas, podendo mesmo levar ao seu apodrecimento. No entanto, a mistura óptima de água e nutrientes varia de espécie para espécie e ao longo do seu ciclo produtivo.

A medida do conteúdo de água no solo é, deste modo, essencial para uma irrigação eficiente. Doenças associadas à irrigação deficiente podem então ser prevenidas, reduzindo-se a quantidade de tratamentos necessários para as combater, minimizando o impacto ambiental causado pela sua aplicação. Além disso, e tendo em conta a estimativa de que os recursos de água doce do planeta estejam abaixo

de 1 % da água disponível [10], justifica-se a importância de efectuar a irrigação em medida adequada às reais necessidades das plantas.

A grande variedade de sensores existentes para a medição das diversas grandezas de interesse para o processo agrícola leva à necessidade e utilização de circuitos capazes de lidar com os sinais provenientes desses sensores. Estes são normalmente agrupados no termo interface sensorial, podendo incluir diversas funções, como condicionamento de sinal, amplificação, filtragem e conversão analógico-digital.

1.3 Interfaces sensoriais

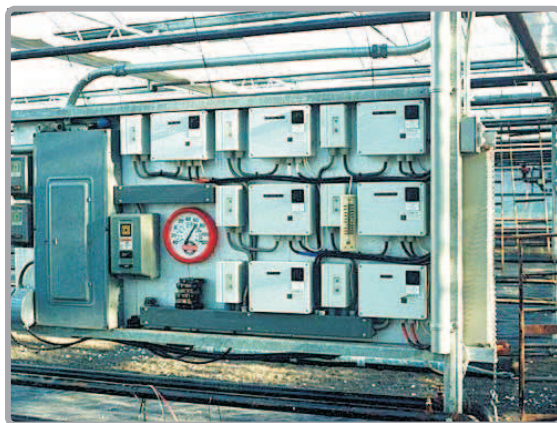
Genericamente, os sensores apresentam à sua saída uma grandeza eléctrica que pode ter a forma de uma variação de tensão ou corrente, ou de uma variação das características eléctricas do material, como a resistência ou capacidade. O sinal desejado pode ser de muito baixa amplitude, próximo do limiar de ruído, ou estar misturado com sinais não desejados, localizados em diferentes bandas de frequência. A função dos circuitos de interface é essencialmente extrair a informação relevante do sinal e, na maior parte dos casos, converter o sinal para o domínio digital.

O vastíssimo campo aplicativo das interfaces sensoriais, relacionado com a necessidade de monitorizar um cada vez maior número de grandezas em virtualmente todos os processos físicos, e dada a especificidade de cada sensor, condiciona a escolha apropriada de uma interface sensorial. A escolha apropriada depende de vários factores, de onde se destaca a ligação física entre os sensores e respectivas interfaces.

Esta ligação é obviamente específica da aplicação, do sensor e do processo. Nos processos agrícolas, a monitorização de grandezas físicas é condicionada, na maioria dos casos, por aspectos de cariz prático, geralmente relacionados com a dispersão geográfica dos pontos de medida. Esta condicionante tem criado, em muitos casos, dificuldades tecnológicas e económicas na monitorização adequada de várias grandezas relevantes. Estas dificuldades estão relacionadas com a filosofia do sistema de medida, dado que no caso da agricultura a área de cobertura pode atingir dimensões

na ordem de grandeza de vários hectares. As soluções de sistemas centralizados de aquisição de dados pressupõem, em muitos casos, a utilização de sistemas de cablagem complexos, que se traduzem em custos acrescidos. Além disso, a utilização de cablagem acarreta dificuldades na medição de algumas grandezas, como por exemplo a temperatura das folhas e teor de água nos solos, devido às modificações estruturais que provoca nas plantas, e que consequentemente afectam o seu desenvolvimento.

Na figura 1.1 ilustram-se dois exemplos de sistemas de monitorização e controlo utilizados em estufas agrícolas. No caso da figura 1.1(a), o quadro de comando inclui as funções de accionamento eléctrico dos dispositivos de actuação instalados, bem como dos sistemas de condicionamento e interface dos sensores utilizados. A cablagem entre este sistema e os vários pontos de medida é passada através de uma calha técnica, e distribui-se por toda a estufa. Na figura 1.1(b) ilustra-se um sistema mais simples, utilizado na monitorização da humidade relativa e das temperaturas exterior e interior (em vários pontos) de uma estufa agrícola, neste caso para produção de alface. Existem também sistemas que controlam a irrigação e, neste caso específico, permutadores de calor que utilizam água geotérmica para o aquecimento. É também visível a calha que suporta toda a cablagem utilizada com os sensores instalados.



(a)



(b)

Figura 1.1 – Fotografias de dois sistemas de interface e comando utilizados na monitorização e controlo de grandezas ambientais em estufas agrícolas.

Outro exemplo de interface sensorial, adequada à instalação quer em estufas quer

em campo aberto, encontra-se ilustrado na figura 1.2. Esta interface, denominada estaca multissensorial [11], é caracterizada pela transmissão de dados sem fios, alimentação por painel solar, elevada flexibilidade quer na sua colocação no terreno quer na quantidade e variedade de sensores que é possível utilizar, capacidade de interligação em rede com outras unidades e elevada autonomia de funcionamento.



Figura 1.2 – Fotografia de uma interface sensorial sem fios para estufas agrícolas.

O avanço tecnológico na área dos semicondutores permite agora a integração de sensores miniaturizados (microsensores), juntamente com os respectivos circuitos de interface ou, pelo menos, a combinação modular da electrónica, sensores e actuadores. Esta combinação deu origem a um novo conceito: sensor inteligente. A disseminação da tecnologia dos microsistemas electromecânicos (*Micro-Electro-Mechanical-Systems* - MEMS), veio também acrescentar uma vasta possibilidade de funções de medição, nomeadamente pressão, aceleração, fluxo de ar, entre outras, bem como funções de actuação. Devido à reduzida variedade de materiais utilizados nas tecnologias planares de silício, e à dependência das suas características face ao processo de fabrico, os microsensores têm muitas vezes um desempenho inferior ao dos seus homólogos discretos. Esta desvantagem leva naturalmente ao aumento da complexidade do circuito de interface, exigindo técnicas especiais por forma a obter-se o desempenho desejado.

1.4 Micro-interfaces

A utilização das microtecnologias no fabrico de soluções compactas de medição, que combinam microssensores com as respectivas micro-interfaces, tem impulsionado uma elevada procura destes microssistemas na monitorização de grandezas físicas. Particulares vantagens destes advêm do seu reduzido tamanho, que possibilita a sua utilização em locais onde soluções discretas não são aconselhadas ou são mesmo difíceis de utilizar.

O processamento *in situ* do sinal proveniente do microssensor e a conversão para o domínio digital traduzem-se numa maior imunidade ao ruído, dado que o trajecto de sinais analógicos é virtualmente eliminado. A partir do momento em que a informação passa para o domínio digital, abrem-se muitas outras perspectivas de processamento posterior e de interface com outros sistemas.

Pelo exposto, torna-se evidente que, quer a conversão analógico-digital, quer os sistemas de transferência de informação, são parte fundamental neste tipo de microssistemas. A conversão analógico-digital, situada ao nível da interface com o microssensor, é responsável pela quantificação de um sinal eléctrico analógico que traduz a grandeza a medir, pelo que a sua arquitectura deve ser adequada às características do microssensor. Por outro lado, os sistemas de transferência de informação são responsáveis pela interface do dispositivo com o exterior. É neste campo que os microssistemas têm contribuído de forma significativa para a flexibilidade e mobilidade das aplicações. No panorama actual, marcado pelos dispositivos sem fios, também a agricultura beneficia desta tecnologia. De facto, o interesse da utilização de microssistemas sem fios nesta área tem crescido exponencialmente, pois permite a cobertura de áreas vastas sem recurso a cablagem. É evidente que este tipo de soluções apresenta desde já alguns desafios à sua concepção. Além da transferência de informação, é também necessário recorrer a técnicas que permitam a alimentação de tais sistemas, dado que, na maioria dos casos, não existe nas proximidades qualquer fonte de energia.

Torna-se então claro que uma das chaves para o sucesso comercial de microdispositivos de aquisição de dados sem fios, é estes estarem dotados de comunicações

sem fios, com suporte de interligação em rede, e que possam ser alimentados por fontes de energia renováveis como, por exemplo, através de painéis fotovoltaicos. As vantagens são óbvias: A proliferação de pequenas unidades implementadas em tecnologia de custo reduzido e com as características adequadas potencia a sua utilização maciça de uma forma não invasiva, com as acrescidas vantagens da mobilidade e flexibilidade de utilização que os sistemas sem fios conferem.

Na área das micro-interfaces sensoriais existem variados trabalhos de investigação que visam a medição de grandezas físicas como as que aqui são consideradas relevantes. Em alguns trabalhos são apresentados microsensores com algum processamento de sinal e, em outros, interfaces para utilização dos primeiros. De seguida referem-se alguns trabalhos que directa ou indirectamente podem ser relacionados com o presente.

Makinwa e Huijsing[12] descrevem um sensor de vento inteligente realizado em tecnologia CMOS. A interface *on-chip* utiliza técnicas de modulação delta-sigma para controlar e simultaneamente digitalizar a distribuição ortogonal de calor no sensor. A saída do dispositivo é processada externamente para determinar a velocidade e a direcção do vento. Os resultados apresentados indicam uma precisão de $\pm 4\%$ e $\pm 2^\circ$ para a velocidade e direcção do vento, respectivamente, ao longo da gama $2\text{--}18\text{ ms}^{-1}$. Simpson *et al* [13] reportam um microluminómetro CMOS para a detecção de bioluminescência de baixo nível em aplicações biológicas. O dispositivo é constituído por fotodetectores e o processamento de sinal é realizado ao nível da conversão corrente-frequência. A componente DC da luminescência é posteriormente filtrada. Como referido pelos autores deste trabalho, o campo aplicativo é vasto, sendo de especial relevância a sua utilização na detecção e quantificação de toxinas ambientais, qualidade da água, detecção de metais pesados e poluentes orgânicos no ambiente, ou mesmo de outro tipo de substâncias.

No campo das micro-interfaces, Kraver *et al*[14] reportam um circuito integrado CMOS que integra interfaces para sensores com saída em tensão, em corrente e do tipo capacitivo. Inclui um sensor de temperatura, integrado no mesmo substrato, um conversor analógico-digital com 10 canais de 12 bits e um microcontrolador de 8 bits. A comunicação com o exterior é feita nos modos paralelo e série. A funcionalidade

deste dispositivo é fornecer uma interface genérica para uma vasta gama de sensores, bem como medir temperaturas na gama dos -20 a $+80$ °C.

Na figura 1.3 ilustram-se dois microssistemas com diferenças significativas ao nível de concepção. Na figura 1.3(a) ilustra-se uma microfotografia do denominado por *Smart Dust*, desenvolvido pelo grupo de investigação em sensores e actuadores de Berkeley [15]. De entre as várias configurações propostas pelos autores, o sistema representado na figura destina-se à medida de radiação infravermelha e é composto por um conjunto de células solares integradas, uma bateria e fotodetectores. A comunicação com o exterior faz-se através de radiação laser e o esquema de espelhos adoptado para a orientação do feixe permite uma comunicação bidireccional, inclusive de um para todos.

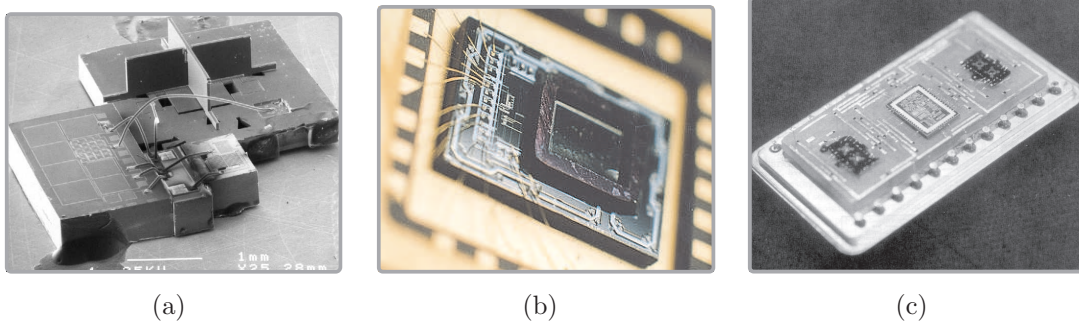


Figura 1.3 – Exemplos de micro-interfaces sensoriais, (a) – *SmartDust*, (b) – Microsensor de radiação infravermelha, (c) – Módulo MCM para análise de gases.

Na figura 1.3(b) ilustra-se também um detector de infravermelhos, este desenvolvido pela UCLA e pelo Centro Rockwell no âmbito do projecto *WINS* (*Wireless Integrated Network Sensors*) [16–18]. A principal diferença entre este microssistema e o do mostrado na figura 1.3(a) situa-se ao nível das comunicações. Este utiliza comunicações por rádio-frequência e um dos factores de mérito é a integração da própria antena no substrato. No entanto, é de realçar que, segundo os autores, em ambos os microssistemas é possível a utilização de outro tipo de microssensores (capacitivos, por exemplo), conferindo ao sistema um elevado grau de flexibilidade. Na figura 1.3(c) está ilustrado um microssistema para análise de gases[19], que combina sensores, electrónica e barramento de interface, utilizando técnicas de *Multi-Chip Module* (MCM).

A combinação de um microsensor e de uma micro-interface num único circuito integrado, por forma a constituir uma solução única de medida, tem impulsionado uma elevada procura por microssoesores fabricados com a mesma tecnologia utilizada no fabrico de circuitos integrados. Deste modo, os microssoesores integrados, juntamente com os seus circuitos de interface, têm vindo gradualmente a substituir os sensores discretos devido às suas naturais vantagens, nomeadamente, baixo custo, precisão, fiabilidade, tamanho e consumo reduzidos.

1.5 Motivação e objectivos

O elevado número de grandezas relevantes para a gestão de processos agrícolas implica a utilização de sensores com especificidades próprias. A medição de algumas destas grandezas exige uma solução de medição de reduzido tamanho, *in situ* e não invasiva. Para além disso, algumas das grandezas podem ter de ser medidas directamente sobre a planta ou muito próxima dela, o que leva à necessidade de dispositivos que não interfiram com o seu desenvolvimento.

O interesse em sistemas de medição de baixo custo, com reduzidas dimensões e sem qualquer tipo de cablagem tem vindo a aumentar significativamente. No campo da agricultura, a aplicação destes é bastante favorável, tal é a natureza mutante do processo. Além disso, este tipo de dispositivos favorecem a sua utilização em massa e potenciam uma correcta aferição das variáveis que traduzem o crescimento das culturas. Com toda a informação relevante obtida neste patamar hierárquico inferior, torna-se possível um controlo mais eficaz do processo produtivo. É neste contexto que o presente trabalho se insere.

Nesta tese pretende-se desenvolver uma micro-interface em tecnologia CMOS (*Complementary Metal-Oxide-Semiconductor*) com transmissão de dados por rádio-frequência. A micro-interface destina-se a servir de plataforma para a sua combinação integrada com microssoesores específicos para cada grandeza. Esta deve

então ser o mais genérica possível. No entanto, no presente trabalho esta interface tem já uma aplicação em vista, destinando-se a ser combinada com um sensor de teor de água no solo desenvolvido na Universidade de Trás-os-Montes e Alto Douro [20, 21], que se destina à medição desta grandeza a várias profundidades e ao longo das raízes das plantas. Na figura 1.4, ilustra-se uma perspectiva do conjunto.

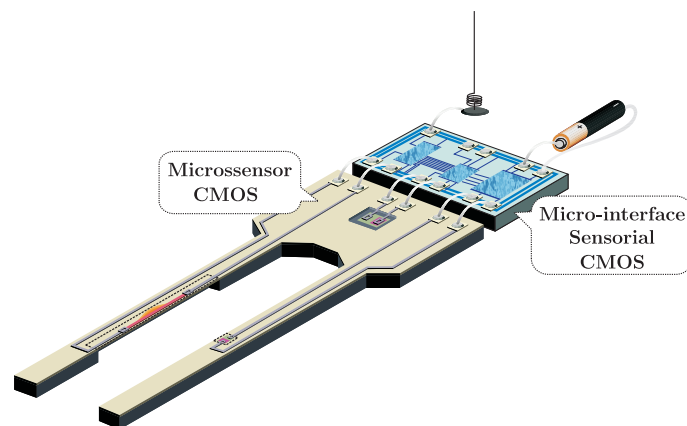


Figura 1.4 – Perspectiva da interface sensorial juntamente com um microsensor de medida do teor de água no solo.

A inclusão de um sistema de comunicações sem fios na micro-interface possibilita, assim, a criação de redes locais de aquisição de dados e potencia o processamento distribuído, bastante vantajoso em áreas de implantação consideráveis, como as que se verificam nos sistemas de controlo de irrigação. A informação que deste modo é obtida pode inclusivamente gerar acções de controlo localizado e, paralelamente, ser fonte de informação para processamento a um nível hierárquico superior.

A interface sensorial proposta neste trabalho dá um contributo relevante na área emergente da agricultura de precisão, dado que as suas características possibilitam a sua utilização em larga escala a um custo mínimo. Na figura 1.5 apresenta-se uma fotografia do protótipo da micro-interface, implementada neste trabalho.

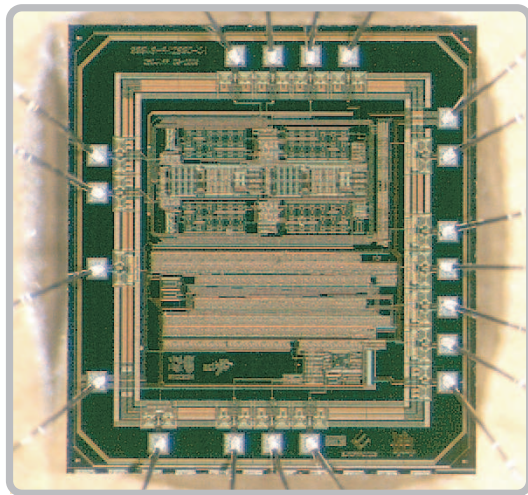


Figura 1.5 – Fotografia da micro-interface implementada.

1.6 Organização da tese

Além deste capítulo introdutório, que visou enquadrar este trabalho, bem como apresentar os objectivos traçados e sua motivação, esta tese é composta por mais cinco capítulos. No capítulo 2, referente à conversão analógico-digital, é feito um estudo das arquitecturas existentes com vista à escolha da mais apropriada à interface sensorial. As arquitecturas tradicionais e as baseadas em técnicas de sobreamostragem são abordadas separadamente no sentido de se ilustrar, face aos objectivos, aquelas que apresentam um maior número de vantagens. Além das considerações necessárias sobre as não-idealidades e fontes de ruído presentes, apresentam-se alguns conceitos básicos de filtragem digital, finalizando-se com a descrição conceptual da topologia adoptada. O capítulo 3 é dedicado ao suporte de transmissão de dados sem fios, sendo referidas as vantagens da utilização deste tipo de sistemas na aquisição remota de dados. É abordado o conceito de amplificação de potência em rádio-frequência, sendo descritas as suas classes de operação, que visam a escolha da mais apropriada. No quarto capítulo, os conceitos referidos anteriormente são aplicados na implementação do protótipo da micro-interface sensorial, descrevendo-se os circuitos e técnicas utilizadas. No capítulo 5, apresentam-se os resultados experimentais obtidos dos testes efectuados à micro-interface, fazendo-se a discussão

desses mesmos resultados. Finalmente, no capítulo 6, expõem-se as conclusões retiradas deste trabalho e referem-se algumas directrizes orientadoras de trabalho futuro, salientando-se algumas das questões que estiveram sempre adjacentes à realização deste trabalho.

2

Conversão Analógico-Digital

O processamento local de informação proveniente de sensores leva a que os circuitos de interface sejam uma componente fundamental de um sistema integrado. É a capacidade de processamento de sinal *on-chip* que confere a este tipo de sistemas as suas vantagens. Os conversores analógico-digital são deste modo estruturas essenciais no processamento de sinal. No entanto, e face à variedade de topologias de conversão existentes, dever-se-á ter em conta as especificidades dos sinais que serão convertidos. Na agricultura, a gama de interesse na maioria das aplicações não é muito exigente, variando entre os 6 e os 14 bits, sendo a largura de banda tipicamente na ordem de poucas dezenas de Hertz. Já a gama de amplitudes pode, pelo contrário, ser bastante distinta, consoante a natureza e o tipo de sensor utilizado, podendo variar entre alguns milivolt e poucas décimas de Volt.

Neste capítulo, e de modo a seleccionar uma topologia de conversão apropriada para a interface sensorial, é inicialmente feita uma revisão do processo de conversão analógico-digital (A/D), descrevendo-se alguns princípios básicos e parâmetros de avaliação de desempenho. Na secção seguinte abordam-se os conversores A/D tradicionais¹ apresentando-se uma descrição sumária das arquitecturas mais utilizadas.

¹Os conversores A/D tradicionais são normalmente referidos por conversores A/D à taxa de Nyquist, ou na terminologia anglo-saxónica, *Nyquist-rate A/D converters*.

A secção 2.3 é dedicada à conversão A/D Delta-Sigma, sendo referidos os aspectos de modulação de ruído, as arquitecturas existentes, os efeitos das não-idealidades dos circuitos utilizados nas suas implementações, apresentando-se alguns princípios de filtragem digital e decimação. Na secção seguinte é justificada a escolha da arquitectura A/D incluída na micro-interface sensorial. Nas secções 2.5 e 2.6 são referidos alguns aspectos relativos ao pré-condicionamento de sinal e à utilização de técnicas de condensadores comutados na implementação da micro-interface proposta.

2.1 Princípios básicos de conversão A/D

A conversão analógico-digital (A/D) é o processo de transformação de um sinal analógico, que é contínuo no tempo e em amplitude, num sinal digital, que é discreto no tempo e em amplitude, ao que se segue uma codificação. Tipicamente é necessário realizar quatro passos para efectuar uma conversão A/D: filtragem passa-baixo, amostragem, quantificação e codificação, tal como ilustrado na figura 2.1.

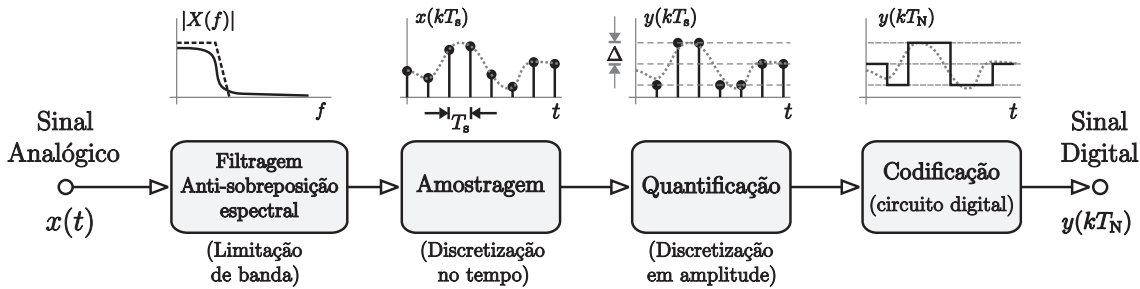


Figura 2.1 – Passos básicos de uma conversão A/D.

O sinal analógico $x(t)$ é inicialmente filtrado por forma a limitar a sua largura de banda. A amostragem consiste na conversão do sinal em tempo contínuo $x(t)$ numa sequência em tempo discreto, $x(kT_s)$, mas contínuo em amplitude. O terceiro passo consiste na quantificação. Durante este processo, a amplitude de cada amostra é mapeada num conjunto limitado de níveis, associados ao valor discreto de amplitude mais próximo. O sinal resultante, $y(kT_s)$, é um sinal discreto no tempo e em amplitude. Finalmente, o último passo consiste em codificar, ou atribuir, um código numérico a cada um destes valores.

2.1.1 Amostragem de sinais contínuos

Por natureza, um sinal real não é limitado em frequência. Admita-se que um sinal contínuo $f(t)$ tem uma transformada de Fourier que se anula em quase todos os pontos fora do intervalo $[-f_B, +f_B]$. Pode-se assim dizer que o sinal $f(t)$ pode ser aproximado com um erro ε arbitrariamente pequeno, a um sinal $g(t)$, limitado em frequência, desde que [22, 23]:

$$\int |f(t) - g(t)|^2 < \varepsilon \quad (2.1)$$

A amostragem de um sinal real, contínuo no tempo e em amplitude, consiste na sua discretização no tempo, da qual resulta uma sequência de amostras espaçadas de um tempo que é o inverso da frequência de amostragem f_s utilizada, ou seja, $T_s = 1/f_s$. O valor em amplitude de cada amostra corresponde ao valor do sinal contínuo no instante em que ocorreu a amostragem².

Na figura 2.2 ilustra-se o processo de amostragem, quer no domínio temporal quer no domínio das frequências. Considerando que a amostragem é realizada por um amostrador ideal³, esta pode ser aproximada a uma sequência de impulsos de Dirac, $s(t)$, espaçados pelo período de amostragem T_s . Esta sequência é representada no domínio das frequências por uma componente em $\pm kf_s$, com $k = 0, 1, 2, \dots, +\infty$.

O sinal contínuo $x(t)$ é amostrado à frequência f_s , resultando na sequência $x(kT_s)$, onde $T_s = 1/f_s$ é o período de amostragem e k um valor inteiro. No domínio do tempo, o sinal amostrado, $x_s(t)$, é determinado pela multiplicação de $s(t)$ pelo sinal contínuo $x(t)$, e expresso da seguinte forma:

$$x_s(t) = x(t) \times \sum_{k=-\infty}^{+\infty} \delta(t - kT_s) = \sum_{k=-\infty}^{+\infty} x(kT_s) \delta(t - kT_s). \quad (2.2)$$

A representação no domínio das frequências do sinal amostrado $x_s(t)$ mostra imagens ou réplicas do espectro do sinal original em torno de cada múltiplo de f_s , ou seja, em $\pm kf_s$, com $k = 1, 2, \dots, +\infty$, tal como ilustrado na figura 2.2. O

²O processo inverso, ou seja, a conversão de sinais em tempo discreto em sinais de tempo contínuo é designado por reconstrução.

³O amostrador ideal retém a amplitude do sinal contínuo a amostrar durante um tempo infinitesimal.

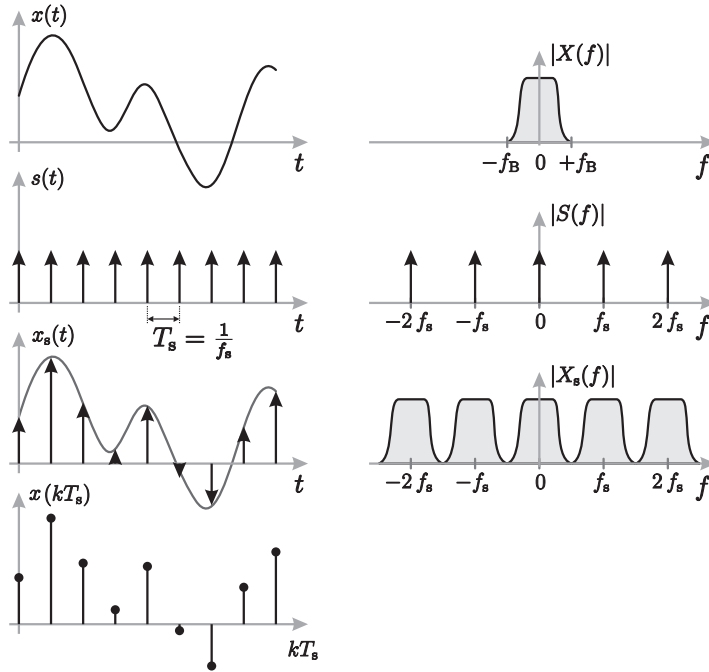


Figura 2.2 – Amostragem de sinais contínuos.

espectro do sinal amostrado pode ser determinado pela convolução do espectro do sinal contínuo com o espectro da sequência $s(t)$, ou seja:

$$X_s(f) = X(f) * \sum_{k=-\infty}^{+\infty} \frac{1}{T_s} \delta(f - \frac{k}{T_s}) = \frac{1}{T_s} \sum_{k=-\infty}^{+\infty} X(f - \frac{k}{T_s}), \quad (2.3)$$

o que corresponde à replicação do espectro do sinal contínuo em torno de cada múltiplo da frequência de amostragem.

De acordo com o teorema de Nyquist, a frequência mínima de amostragem, também referida como frequência, taxa ou ritmo de Nyquist, f_N , à qual um sinal pode ser amostrado de forma a ainda poder ser reconstruído sem erro, é duas vezes a largura de banda do sinal, ou seja, $f_{s,\min} = 2f_B = f_N$. Nesta situação limite, ilustrada na figura 2.3(a), a equação (2.3) indica que os espectros replicados em torno de cada múltiplo k de f_s estão encostados. No caso de a frequência de amostragem ser inferior à frequência de Nyquist do sinal contínuo, existirá sobreposição espectral e já não será possível reconstruir o sinal original. Nesta condição, ilustrada na figura 2.3(b), diz-se que estamos perante o fenómeno denominado *aliasing*.

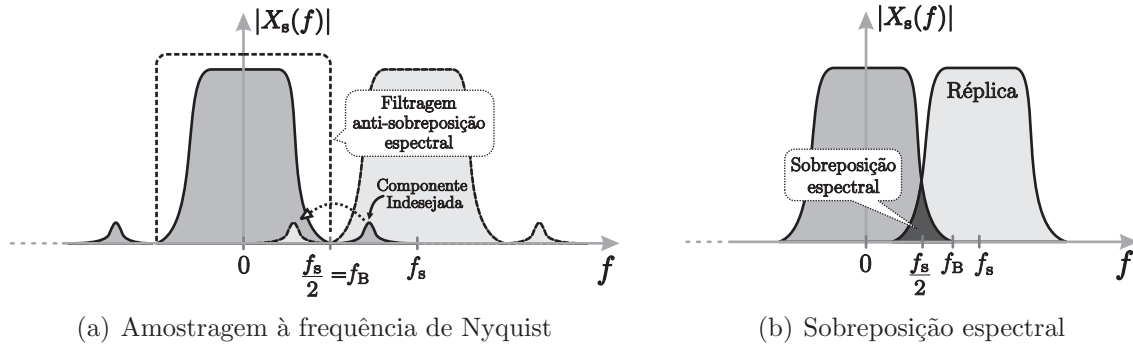


Figura 2.3 – Representação espectral do processo de amostragem.

Como também se pode observar na figura 2.3(a), o sinal poderá conter componentes indesejadas de frequência superior a $f_s/2$, que, devido ao processo de amostragem, recaem na banda de interesse. É por este motivo que se verifica a necessidade da utilização de filtros anti-sobreposição espectral para limitar em banda o sinal a amostrar. No entanto, e como pode também ser observado na figura, este filtro deverá ter uma zona de transição abrupta por forma a manter intacto o sinal original e eliminar as componentes fora da sua banda. O aumento da frequência de amostragem além do mínimo provoca uma separação entre o espectro do sinal contínuo e a sua réplica, ilustrado na figura 2.4, pelo que agora o filtro anti-sobreposição espectral poderá ter uma menor selectividade.

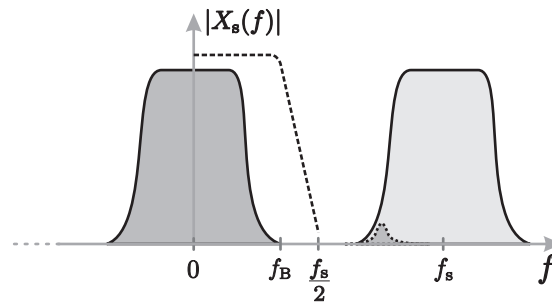


Figura 2.4 – Separação entre o espectro do sinal contínuo e a sua réplica quando a frequência de amostragem é superior ao mínimo.

O aumento da frequência de amostragem além do seu valor mínimo favorece deste modo a especificação do filtro de anti-sobreposição espectral. Além disso, significa que mais amostras estarão disponíveis para a reconstrução do sinal original.

A relação existente entre a frequência de amostragem utilizada e o valor mínimo exigível pelo teorema de Nyquist é denominada de taxa de sobreamostragem, referida frequentemente por *Oversampling Ratio* (OSR), e é definida por:

$$M = \frac{f_s}{f_N} = \frac{f_s}{2f_B} \quad (2.4)$$

Como se depreende da equação (2.4), no caso da frequência de amostragem ser igual à frequência de Nyquist do sinal a amostrar, a taxa de sobreamostragem é unitária.

2.1.2 Quantificação e sobreamostragem

No processo de quantificação, o sinal amostrado $x(kT_s)$ é aproximado em amplitude pelo valor discreto mais próximo $y(kT_s)$, dando inevitavelmente origem a um erro de quantificação e , definido pela diferença entre a saída e a entrada do quantificador, ou seja, $e = y(kT_s) - x(kT_s)$. No caso de um quantificador de dois níveis (1 bit), o erro de quantificação está limitado por $\pm\Delta/2$, onde Δ representa a amplitude do degrau de quantificação. A figura 2.5 ilustra as funções de transferência de um quantificador de 2 níveis (1 bit) e de um quantificador multi-nível, bem como o erro de quantificação para os dois casos. O sinal quantificado y é descrito por uma função linear Gx com um erro e , ou seja, $y = Gx + e$. O ganho G é a inclinação da linha recta que passa pelo centro da característica de quantificação. Os valores de X_{FS} e Y_{FS} representam as gamas de entrada e de saída do quantificador, respectivamente.

Se considerarmos nesta análise que a amplitude do sinal de entrada se altera aleatoriamente de uma quantidade da ordem de grandeza de Δ de amostra para amostra, então o erro de quantificação e não está correlacionado com a entrada e pode ser tratado como ruído branco [24].

Assumindo que o erro de quantificação é aleatório e que a sua distribuição é uniforme entre $\pm\Delta/2$, o seu valor médio quadrático é dado por:

$$e_{\text{rms}}^2 = \frac{1}{\Delta} \int_{-\Delta/2}^{\Delta/2} e^2 \, de = \frac{\Delta^2}{12} \quad (2.5)$$

Quando um sinal é amostrado à frequência f_s , todo o ruído de quantificação é

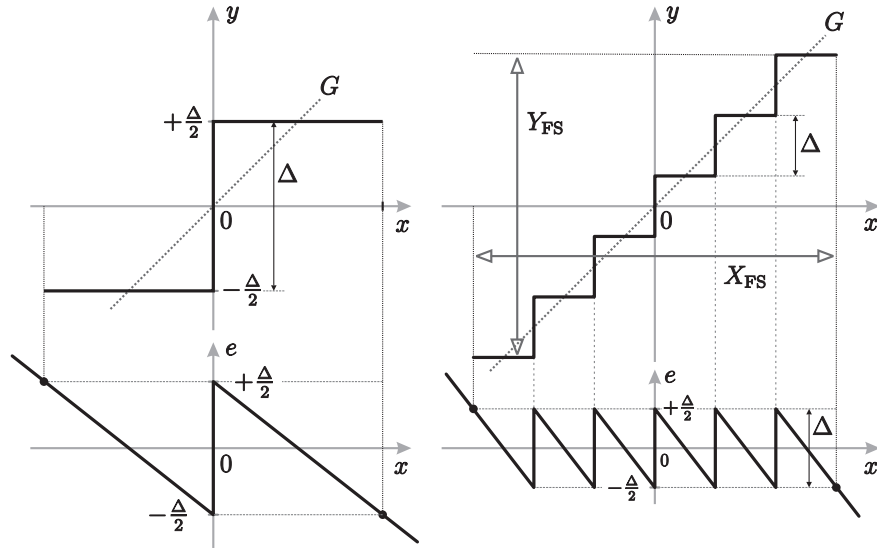


Figura 2.5 – Funções de transferência de um quantificador de 2 níveis (1 bit) e multi-nível, e erros de quantificação correspondentes.

uniformemente distribuído na banda de frequências ⁴ de $0 \leq f \leq f_s/2$. A densidade espectral da potência do ruído, $E(f)$, é dada por [24]:

$$E(f) = e_{\text{rms}} \sqrt{\frac{2}{f_s}} \quad (2.6)$$

Como o ruído de quantificação se encontra espalhado além da banda base do sinal, uma elevada taxa de sobreamostragem significa que a maior parte deste ruído estará fora da largura de banda do sinal. Elevando ao quadrado e integrando $E(f)$ ao longo da largura de banda do sinal, obtém-se a potência de ruído de quantificação contida na largura de banda do sinal, n_{BW}^2 :

$$n_{\text{BW}}^2 = \int_0^{f_B} E^2(f) \, df = e_{\text{rms}}^2 \frac{2f_B}{f_s} = \frac{\Delta^2}{12} \frac{2f_B}{f_s} = \frac{e_{\text{rms}}^2}{M}, \quad (2.7)$$

onde f_B é a frequência máxima do sinal $x(t)$, f_s a frequência de amostragem, e o erro de quantificação e M a taxa de sobreamostragem.

A expressão (2.7) mostra o já bem conhecido resultado de a sobreamostragem reduzir o ruído contido na largura de banda do sinal de uma factor igual à raiz

⁴Adopta-se a representação de espectro simples, ou seja, toda a potência está contida na gama de frequências $0 \leq f < \infty$

quadrada da taxa de sobreamostragem. Na figura 2.6 ilustra-se o efeito da sobreamostragem na potência de ruído de quantificação, salientando-se a sua redução na largura de banda do sinal, conforme determinado na equação (2.7).

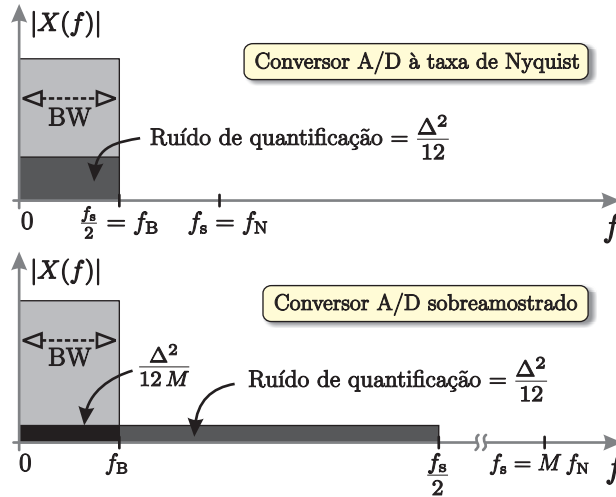


Figura 2.6 – Espectro do sinal e do ruído de quantificação na conversão A/D.

O espalhamento do ruído de quantificação por acção da sobreamostragem leva logicamente à ideia de uma infinita redução deste ruído e correspondente aumento da relação entre a potência do sinal e a potência do ruído de quantificação. No entanto, a sobreamostragem não é a técnica mágica para diminuir até zero a potência do ruído de quantificação. Se isso fosse possível, os mais rápidos processadores estariam actualmente a lidar com resoluções de 50 bits ou mais. A sobreamostragem como técnica de aumentar a resolução do conversor é baseada no pressuposto de que a única fonte de ruído presente no circuito é ruído de quantificação. Outras técnicas complementares podem ser utilizadas para aumentar a resolução, como por exemplo a utilização de modulação de ruído (*noise shaping*), empurrando para fora da banda de interesse uma grande parte do ruído.

A relação entre a frequência de Nyquist de um sinal e a sua frequência de amostragem define duas categorias de conversores A/D: os conversores de ritmo de Nyquist e os conversores sobreamostrados. Os primeiros amostram um sinal à sua frequência de Nyquist e os segundos a uma frequência que é várias vezes superior à sua largura de banda.

2.1.3 Parâmetros associados aos conversores A/D

A caracterização de um conversor A/D é feita recorrendo a determinados parâmetros de desempenho, usualmente referidos como figuras de mérito. Os mais comuns são a relação sinal-ruído, a gama dinâmica de entrada, e a sua resolução equivalente. De seguida apresentam-se, resumidamente, alguns deles.

Resolução

Refere-se ao menor degrau num sinal de entrada analógico que causa uma mudança de 1 bit no valor da palavra digital de saída⁵. Deste modo, uma resolução de N bits significa que o conversor pode distinguir 2^N níveis distintos no sinal analógico.

Bit menos significativo

Vulgarmente designado LSB (*least significant bit*), refere-se ao menor intervalo em amplitude do sinal analógico que causa uma mudança no valor da palavra digital de saída. O seu valor é determinado tendo em conta a excursão máxima do sinal analógico (*Full Scale* - FS) e a resolução do conversor, sendo definido como:

$$1 \text{ LSB} = \frac{\text{Excursão máxima do sinal analógico}}{\text{Resolução}}$$

O valor do LSB é usualmente empregue para expressar a resolução dos conversores tendo em conta a excursão máxima do sinal de entrada. Existem outras formas de representação do mesmo parâmetro, como por exemplo, partes por milhão (ppm) da excursão máxima, ou degrau de tensão dependendo do valor máximo da excursão. A tabela 2.1 ilustra o valor do LSB nas suas várias formas de representação para diferentes resoluções.

⁵ Assume-se que a palavra digital de saída de um conversor A/D é representada em código binário, ou seja, em base 2. Outros códigos representativos existem, como sejam as representações em complemento para 1, complemento para 2, Código de *Gray* e BCD (*Binary-Coded Decimal*).

Tabela 2.1 – O tamanho do bit menos significativo - LSB.

Resolução N (bits)	2^N	LSB (% FS)	LSB (mV, FS=5V)	LSB (ppm FS)	LSB (dB FS)
8	256	0,3906	19,53	3906	-48,16
10	1.024	0,0977	4,89	977	-60,21
12	4.096	0,0244	1,22	244	-72,25
14	16.384	0,0061	0,305	61	-84,29
16	65.536	0,00152	0,07629	15	-96,33
18	262.144	0,000381	0,01907	4	-108,37
20	1.048.576	0,000095	0,00477	0,95	-120,41
22	4.194.304	0,000023	0,00119	0,23	-132,45

Precisão

A precisão de um conversor é definida como a diferença entre a função de transferência esperada e a efectiva, tendo em conta os erros de desvio, de ganho e de não-linearidade. É normalmente expressa como percentagem do erro relativo à excursão máxima da entrada, como fracção de um LSB ou em número efectivo de bits. Por exemplo, uma precisão de 12 bits significa que o erro máximo da função de transferência é de $1/2^{12} \approx 0,025\%$. De referir ainda que um conversor pode ter uma resolução de 14 bits com uma precisão de 12 bits, ou vice-versa.

Relação sinal/ruído

A relação sinal-ruído (*Signal-to-Noise Ratio* - SNR) de um conversor é definida como a relação entre a potência do sinal, s_y^2 , e a potência do ruído, n_y^2 , à sua saída.

O valor máximo da amplitude de um sinal sinusoidal à entrada, sem que ocorra saturação, é $2^N \Delta/2$, onde N é o número de bits do quantificador e Δ o degrau de quantificação. Assumindo que a potência do sinal está distribuída apenas pela sua largura de banda, a potência do sinal à saída, s_y^2 , é a mesma que a do sinal de entrada, s_x^2 , ou seja,

$$s_y^2 = s_x^2 = \left(\frac{2^N \Delta}{\sqrt{2}} \right)^2 = \frac{\Delta^2 2^{2N}}{8} \quad (2.8)$$

Sem sobreamostragem, a potência de ruído na saída, n_y^2 , é igual à potência do ruído de quantificação, e_{rms}^2 , pelo que o valor máximo de SNR para um conversor à taxa de Nyquist é dado por:

$$\text{SNR}_{\text{max}} = 10 \log \left(\frac{s_y^2}{e_{\text{rms}}^2} \right) = 6,02 N + 1,76 \quad (\text{dB}) \quad (2.9)$$

Num conversor sobreamostrado à taxa M , a potência do ruído à saída é a potência do ruído de quantificação na banda base, n_{BW}^2 , pelo que o valor máximo de SNR é:

$$\text{SNR}_{\text{max}} = 10 \log \left(\frac{s_y^2}{n_{BW}^2} \right) = 6,02 N + 1,76 + 10 \log(M) \quad (\text{dB}) \quad (2.10)$$

Comparando as expressões (2.9) e (2.10), verifica-se que a sobreamostragem aumenta o valor de SNR pelo factor $\log(M)$, através da redução da potência do ruído de quantificação contido na largura de banda do sinal. Isto significa que a duplicação do valor da frequência de amostragem reduz o ruído em aproximadamente 3 dB, aumentando a resolução em meio bit.

Na figura 2.7 ilustra-se a variação da relação sinal-ruído em função da amplitude do sinal à entrada do quantificador. Para um sinal de amplitude muito pequena, que possa ser confundido com o próprio ruído, a relação sinal-ruído é unitária, ou seja, $\text{SNR} = 0 \text{ dB}$. Idealmente, à medida que a amplitude do sinal de entrada aumenta, o valor de SNR aumenta até atingir o máximo SNR_{max} , que ocorre quando o sinal de entrada atinge a sua excursão máxima, X_{FS} . No entanto, a ocorrência de saturação no quantificador para um valor de entrada superior a X_{FS} provoca uma redução do valor máximo de SNR, obtendo-se o seu valor de pico, SNR_{pico} .

Gama dinâmica

A gama dinâmica (*Dynamic Range* – DR) é definida como a razão entre a potência à saída correspondente a uma entrada sinusoidal de amplitude máxima, sem que ocorra a saturação do quantificador, e a mesma potência quando a entrada é uma

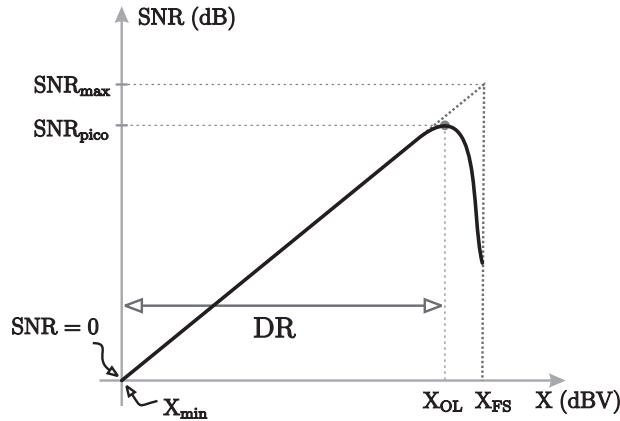


Figura 2.7 – Curva característica da relação sinal-ruído em função da entrada do quantificador.

sinusóide com a mesma frequência mas com uma amplitude tal que não possa ser distinguida do ruído, ou seja, $SNR = 0$ dB. Nesta situação particular, a gama dinâmica corresponde à máxima relação sinal-ruído que é possível obter com um determinado conversor A/D. Essencialmente, a gama dinâmica é uma indicação de até onde se pode ir abaixo da excursão máxima do sinal sem que o sinal possa ser confundido com ruído.

Resolução efectiva

A resolução efectiva é outra forma de expressar a gama dinâmica de um conversor. É geralmente utilizada para determinar o número de bits efectivos de um conversor após a determinação prática da sua gama dinâmica.

No caso de um conversor A/D de ritmo de Nyquist ideal de resolução N bits, a sua gama dinâmica é dada por [25]:

$$DR = 3 \cdot 2^{2N-1} \quad (\text{dB}) \quad (2.11)$$

Manipulando esta expressão obtém-se o número de bits efectivos (*Effective Number Of Bit* - ENOB) do conversor em função da sua gama dinâmica ou, equivalentemente, da sua relação sinal-ruído máxima:

$$\text{ENOB} = \frac{\text{DR} - 1,76}{6,02} \equiv \frac{\text{SNR}_{\text{max}} - 1,76}{6,02} \quad (2.12)$$

Se incluirmos o factor relativo à sobreamostragem:

$$\text{ENOB} = \frac{\text{SNR}_{\text{max}} - 1,76 - 10 \log(M)}{6,02} \quad (2.13)$$

2.2 Conversores de ritmo de Nyquist

Os conversores A/D à taxa de Nyquist realizam amostragens, tal como o seu nome indica, à frequência dupla da maior componente do sinal analógico de entrada. A utilização desta categoria de conversores é imperativa em aplicações de alta frequência, tais como processamento de vídeo ou transmissão de sinais a alta velocidade, onde a utilização de técnicas de sobreamostragem levariam a valores impraticáveis da frequência de amostragem. Muitas arquitecturas existem para a sua implementação, diferindo em aspectos tão distintos como o número de períodos de relógio necessários a uma conversão completa ou a sua complexidade. Seguidamente, apresentam-se algumas das arquitecturas mais conhecidas.

2.2.1 Conversores de um passo

Conceptualmente, a arquitectura de conversão A/D num passo (*flash*), ilustrada na figura 2.8, é bastante simples: um conjunto de $2^N - 1$ comparadores é utilizado para quantificar directamente um sinal analógico numa resolução de N bits. Para um conversor A/D *flash* de N bits, a entrada analógica é aplicada simultaneamente a $(2^N - 1)$ comparadores, sendo feita em cada um deles uma comparação com um valor discreto de referência. Estes valores estão espaçados entre eles de uma quantidade mínima correspondente ao bit menos significativo ($\text{LSB} = X_{\text{FS}}/2^N$), em que X_{FS} é a excursão máxima em amplitude do sinal de entrada. Os comparadores apresentam simultaneamente à saída $2^N - 1$ estados lógicos. Se, por exemplo, a entrada tem um valor de $1/4$ da excursão máxima, todos os comparadores cuja referência é igual ou

inferior a $1/4$ da excursão máxima terão na saída um nível lógico ‘1’ e os restantes o nível ‘0’.

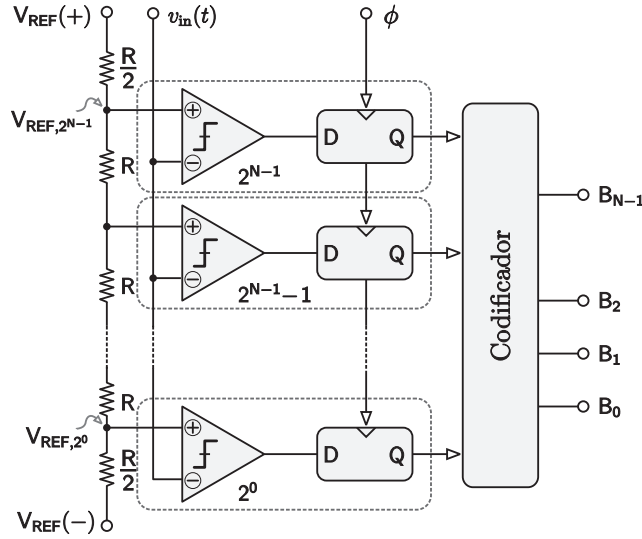


Figura 2.8 – Diagrama funcional da arquitectura *flash*.

Uma das grandes vantagens desta arquitectura é ser extremamente rápida, devido à conversão ocorrer num único ciclo. A desvantagem é que necessita de um elevado número de comparadores e de referências cuidadosamente emparelhados, por forma a garantir a linearidade da conversão. Como para um conversor A/D *flash* de N bits de resolução são necessários $2^N - 1$ comparadores, os limites de integração, o efeito de carga provocado pela polarização dos comparadores, as tolerâncias no fabrico dos componentes e respectivos *offsets* restringem a implementação prática a conversores que normalmente não ultrapassem os 10 bits.

2.2.2 Conversores multipasso

Os conversores multipasso, tal como sugerido pelo seu nome, são aqueles que necessitam de vários ciclos de relógio para efectuarem uma conversão A/D.

Conversores multipasso concorrenciais

A arquitectura multipasso, referida na literatura anglo-saxónica por *pipelined*, ultrapassa algumas das limitações da arquitectura *flash* à custa de um aumento do

tempo de conversão.

Estes conversores dividem a tarefa de conversão em vários estágios consecutivos, como ilustrado na figura 2.9. Cada um destes estágios consiste num circuito de amostragem e retenção (*Sample and Hold* - S&H), um conversor A/D com uma resolução de m bits (conversor *flash*, por exemplo), usado para estimar o sinal, um conversor D/A de m bits, um bloco de subtracção analógico e um amplificador.

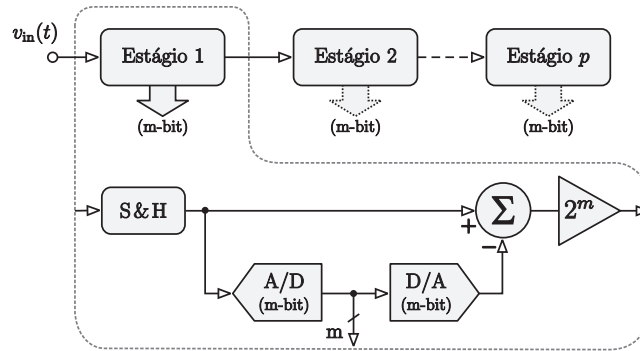


Figura 2.9 – Diagrama funcional do conversor A/D multipasso.

Inicialmente, o circuito de amostragem e retenção do primeiro estágio retém o sinal de entrada $v_{in}(t)$. Por sua vez, o conversor A/D de m bits converte o sinal amostrado numa amostra digital que representa os m bits mais significativos do resultado final. Esta amostra é então aplicada a um conversor D/A de m bits e o resultado é subtraído ao sinal analógico original. O sinal residual é então amplificado e enviado ao próximo estágio para igual procedimento. Este processo é repetido pelos estágios necessários até se obter a resolução desejada. Em princípio, um conversor multi-passo com p estágios, cada um dos quais com resolução de m bits, permite realizar um conversor A/D de alta velocidade com uma resolução de $n = m \times p$ bits. A vantagem desta arquitectura face à arquitectura *flash* é só serem necessários $p \times (2^m - 1)$ comparadores. Esta vantagem é obtida à custa do aumento do tempo de conversão, que agora é de p ciclos de relógio. A título exemplificativo, um conversor multipasso de 16 bits e 4 estágios requer apenas 30 comparadores ao invés dos 65535 necessários na arquitectura *flash*. No entanto, em implementações práticas são normalmente gerados alguns bits adicionais, no sentido de serem utilizados como correcção de erros.

Conversão A/D por aproximações sucessivas

A arquitectura por aproximações sucessivas pode ser entendida como o oposto à arquitectura *flash*. Enquanto que nesta são necessários muitos comparadores para uma conversão de um ciclo, no conversor de aproximações sucessivas, para se obter uma resolução de N bits, é necessário apenas um comparador para fazer uma conversão durante N ciclos. Esta arquitectura tem como elemento chave um registo de deslocamento, vulgarmente designado *Successive-Approximations Register* (SAR).

O conversor de aproximações sucessivas, representado esquematicamente na figura 2.10, pode ser entendido como se se tratasse de uma balança. Num dos lados coloca-se uma quantidade desconhecida e no outro lado um peso (gerado pelo SAR e pelo D/A) de valor igual a $1/2$ da excursão máxima, comparando-se os dois valores. O primeiro peso representa o bit mais significativo. Se a quantidade desconhecida é maior, o peso é mantido, caso contrário removido. Esta série de pesagens é repetida n vezes, usando sucessivamente pesos de valor inferior numa progressão binária, ou seja, $1/4, 1/8, 1/16, \dots, 1/2^N$ do valor da excursão total, até se obter a resolução de N bits desejada. Cada peso é um bit numa palavra binária, sendo que o maior representa o bit mais significativo e o menor, o menos significativo.

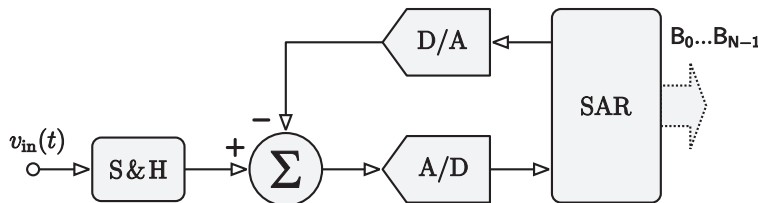


Figura 2.10 – Diagrama funcional do conversor A/D por aproximações sucessivas.

2.2.3 Conversão por integração no tempo

A integração no tempo é o processo mais lento de conversão A/D. Consiste essencialmente em integrar um valor de referência conhecido e compará-lo com o tempo resultante da integração do sinal de entrada. O resultado final é obtido pela relação entre a contagem de impulsos de relógio relativa ao sinal de entrada e o valor de contagem que corresponde à excursão máxima de entrada, que é fixo.

Integração por rampa simples

A figura 2.11(a) representa a arquitectura mais simples de integração no tempo, sendo esta designada de rampa simples. Considerando as formas de onda representadas na figura 2.11(b), após o início da conversão (**Start**), a tensão de referência, V_{FS} , é integrada e varia linearmente entre um valor próximo de zero e uma tensão ligeiramente acima da excursão máxima permitida para o sinal de entrada.

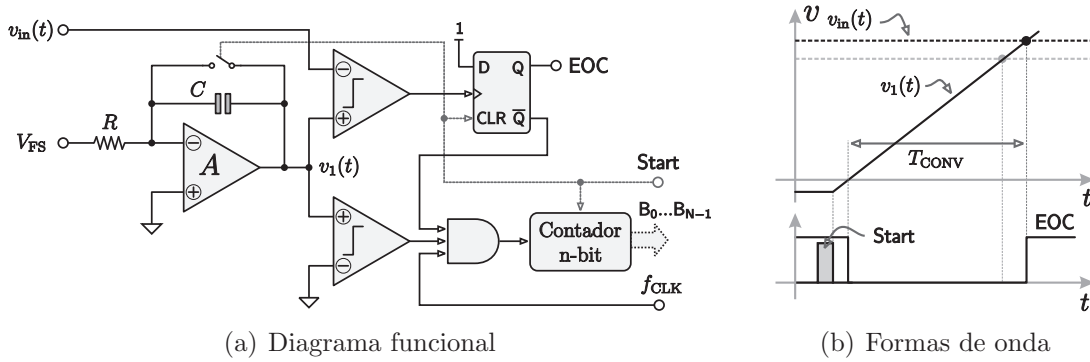


Figura 2.11 – Conversão A/D por integração no tempo (rampa simples).

Quando o valor do integral se torna igual ao valor do sinal a converter, $v_{in}(t)$, a conversão é finalizada, sendo sinalizado pelo sinal EOC. Este intervalo de tempo é proporcional ao período, T_{CLK} , do relógio utilizado, ou seja, $v_{in} = k B T_{CLK}$, onde k ($V s^{-1}$) é a inclinação da rampa e B é o número de impulsos de relógio de período T_{CLK} .

Para uma inclinação k de $V_{FS}/(2^N T_{CLK})$, o resultado da conversão B pode ser obtido pela relação:

$$\frac{\overline{v_{in}}}{V_{FS}} = \frac{B}{2^N} \quad (2.14)$$

onde N é o número de bits do conversor. O tempo de conversão é dependente do sinal de entrada, ou seja, $T_{CONV} \leq 2^N T_{CLK}$. A rampa é gerada por um integrador cuja entrada está ligada a uma referência precisa. Observando a figura 2.11, a saída do integrador é:

$$v_1(t) = \frac{1}{RC} \int_0^t V_{FS} dt \quad (2.15)$$

A grande vantagem desta arquitectura reside na sua simplicidade. No entanto, desvios na frequência do relógio levam a erros de conversão e, além disso, é uma arquitectura que depende da precisão dos valores absolutos de R e de C .

Integração por dupla rampa

A arquitectura de dupla rampa, representada esquematicamente na figura 2.12, permite obviar o problema da precisão dos componentes, visto que agora a integração é feita em dois passos. Durante o primeiro período de integração, a tensão de entrada $v_{in}(t)$, é integrada por um período de tempo desconhecido T_1 .

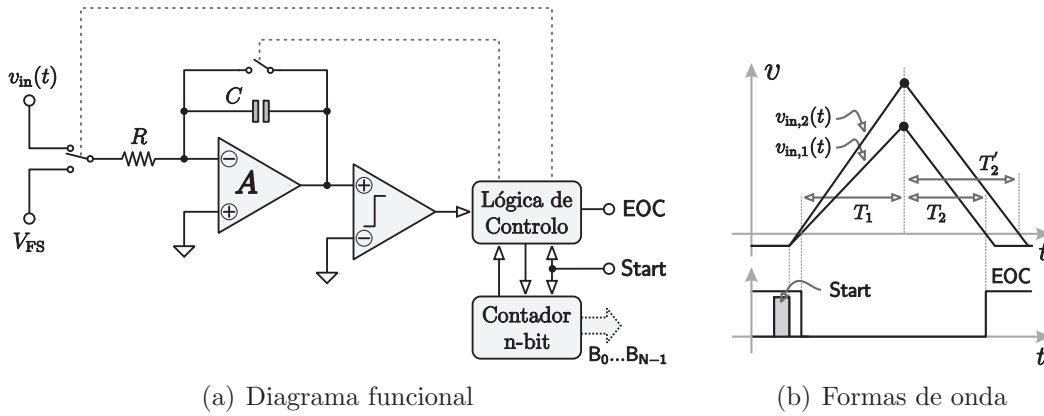


Figura 2.12 – Conversão A/D por integração no tempo (dupla rampa).

O valor do integral assim obtido é comparado com o resultante da integração de uma referência constante durante um tempo T_2 . Igualando os valores dos integrais:

$$\frac{1}{RC} \int_0^{T_1} v_{in}(t) dt = \frac{1}{RC} \int_{T_1}^{T_1+T_2} V_{FS} dt \quad (2.16)$$

Se considerarmos que o tempo máximo de integração do sinal de entrada é de $2^N T_{CLK}$, então a relação entre a tensão de entrada e o valor da referência, que representa o máximo valor de entrada, é determinada por:

$$\frac{\overline{v_{in}}}{V_{FS}} = \frac{B}{2^N} \quad (2.17)$$

onde B representa o resultado da conversão. Relativamente à arquitectura em rampa simples, o facto de se integrar em dois passos tem a vantagem de o resultado da

conversão não depender de valores precisos de R e de C . No entanto, as desvantagens são as mesmas que as observadas na arquitectura de rampa simples. Além da sua baixa taxa de conversão, apresenta um tempo de conversão variável, função de v_{in} , que é determinado por $T_{CONV} = (2^N + B) T_{CLK} \leq 2^{N+1} T_{CLK}$.

2.2.4 Comparação dos conversores A/D tradicionais

As diversas topologias de conversão tradicionais podem ser comparadas com base na resolução que é possível obter, taxa de amostragem, velocidade relativa a área relativa ocupada por cada uma. Na tabela 2.2 apresentam-se as topologias anteriormente referidas, com alguns parâmetros que podem servir para as distinguir⁶. Os conversores Delta-Sigma aparecem na tabela apenas para fins de comparação.

Tabela 2.2 – Resumo comparativo das arquitecturas A/D tradicionais.

Arquitectura	Resolução (bits)	Amostras por segundo	Velocidade relativa	Área relativa
Dupla Rampa	12–20	10–30	Lenta	3
Rampa Simples	12–18	10–30	Lenta	1
Delta-Sigma	12–24	10^3 – 10^6	Média	8
Aprox. Sucessivas	8–16	10^4 – 10^6	Média	10
<i>Pipelined</i>	8–16	10^5 – 10^7	Rápida	12
<i>flash</i>	8–12	10^6 – 10^9	A mais rápida	14

⁶Os valores de velocidade e de resolução são meramente indicativos e destinam-se apenas a estabelecer uma comparação.

2.2.5 Dificuldades na integração em tecnologia CMOS

A crescente evolução das tecnologias VLSI, que se traduzem essencialmente na diminuição das dimensões dos elementos activos e na redução das tensões de alimentação, leva a que a precisão e a gama dinâmica dos componentes analógicos se tornem cada vez mais reduzidas. Além disso, os conversores A/D tradicionais de ritmo de Nyquist, pelo facto de converterem um sinal à sua frequência de Nyquist, requerem normalmente filtros de entrada analógicos de elevada selectividade e apresentam uma elevada sensibilidade ao ruído do substrato, bem como às imperfeições dos circuitos constituintes. Estes são alguns dos problemas associados aos conversores A/D tradicionais que tornam difícil a sua implementação em tecnologia CMOS [26].

A concepção de interfaces sensoriais de tipo misto, ou seja, sinais analógicos e digitais presentes no mesmo circuito, deve levar em consideração algumas técnicas e arquitecturas de conversão que permitam satisfazer os requisitos da interface em termos de relação sinal-ruído. Circuitos analógicos são mais sensíveis a perturbações e, deste modo, a maioria das funções de processamento de sinal devem ser realizadas no domínio digital e o conversor A/D deve estar o mais junto possível à fonte, ao longo da cadeia de sinal. Além disso, as técnicas de conversão A/D devem possuir um elevado grau de robustez contra os desvios das características dos componentes que provocam uma redução no desempenho da interface. A próxima classe de conversores tenta resolver muitos destes problemas.

2.3 Conversores Delta-Sigma

Os conversores A/D sobreamostrados tornaram-se bastante populares na obtenção de interfaces A/D de elevado desempenho, por resolverem alguns dos problemas encontrados na implementação, em tecnologia CMOS, dos tradicionais conversores A/D de ritmo de Nyquist, e por utilizarem circuitos simples e robustos. Por um lado, a utilização de uma frequência de amostragem muito maior reduz a selectividade do filtro de entrada, permitindo a utilização de um simples filtro passa-baixo passivo de primeira ordem. A filtragem mais exigente e robusta é neste caso realizada no domínio digital. Por outro lado, e por forma a obterem-se elevadas resoluções, técnicas de sobreamostragem e de modulação de ruído são normalmente empregues nos conversores A/D sobreamostrados, sendo neste caso denominados de moduladores Delta-Sigma ($\Delta\Sigma$)⁷. O conjunto composto pelo modulador $\Delta\Sigma$ e por um bloco de processamento digital sinal, que executa as funções de filtragem e decimação, é designado por conversor A/D $\Delta\Sigma$.

O nome de modulação Delta-Sigma ($\Delta\Sigma$) advém da modulação Delta – a primeira forma de conversão A/D sobreamostrada –, introduzida em 1946 como forma de codificação de sinais telefónicos utilizando palavras de apenas um bit. Em 1962, Inose, Yasuda, e Murakami [27] combinaram a modulação Delta com modulação de ruído, dando origem à modulação Delta-Sigma.

Na figura 2.13 ilustra-se o diagrama de blocos de um conversor A/D que combina modulação $\Delta\Sigma$ com um bloco de filtragem digital e decimação.

O primeiro estágio é o filtro de anti-sobreposição espectral. Devido à utilização de sobreamostragem, um simples filtro RC é suficiente para esta função. De seguida, o sinal é amostrado a uma frequência muito superior à sua frequência de Nyquist por um circuito de amostragem e retenção. O sinal é posteriormente processado pelo modulador $\Delta\Sigma$ que converte (ou modula) o sinal analógico discreto no tempo num sinal digital de baixa resolução (normalmente 1 bit). Esta modulação não altera a

⁷A modulação Delta-Sigma é algumas vezes referida como modulação Sigma-Delta. Embora sejam duas designações para o mesmo modulador, utilizar-se-á neste trabalho a primeira, visto ser a original como proposto por Inose, Yasuda e Murakami [27], em 1962.

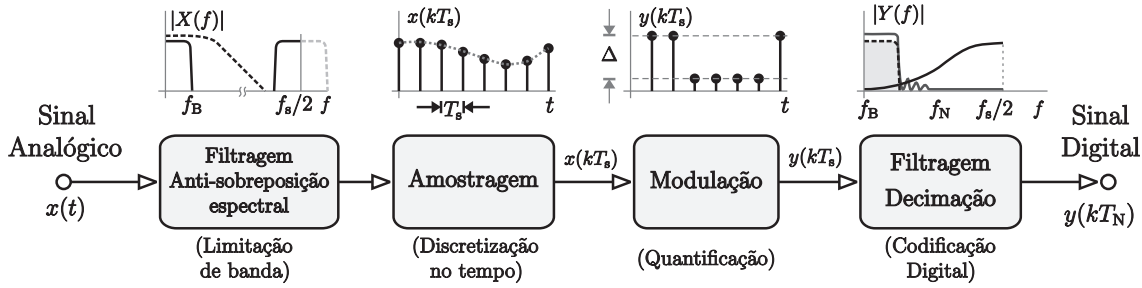


Figura 2.13 – Conversão A/D por sobreamostragem e modulação de ruído.

amplitude do ruído de quantificação, mas sim a sua densidade espectral, deslocando a sua energia para frequências mais elevadas, onde pode ser facilmente removido por filtragem digital. Após o processo de filtragem digital, o sinal é decimado para a sua frequência de Nyquist. A combinação da filtragem digital e da decimação permite então converter o sinal de baixa resolução presente à saída do modulador, normalmente codificado em 1 bit e à frequência de sobreamostragem, num código binário de N bits que ocorre à taxa de Nyquist. É deste modo que os conversores A/D $\Delta\Sigma$ trocam a resolução no tempo por resolução na amplitude.

2.3.1 Modulação de ruído

Os moduladores $\Delta\Sigma$ utilizam realimentação negativa por forma a obterem o efeito de modulação de ruído. Embora a maioria dos conversores $\Delta\Sigma$ use uma quantificação de 1 bit (isto é, apenas dois níveis à saída) devido à linearidade inerente entre os dois níveis, a análise pode ser feita considerando genericamente uma quantificação multi nível. Considere-se um modulador $\Delta\Sigma$ e o seu modelo linear genericamente representados na figura 2.14, onde $Y(z)$ é a transformada z da saída $y(kT_s)$, $E(z)$ a transformada z do erro de quantificação $e(kT_s)$, $X(z)$ a transformada z do sinal de entrada $x(kT_s)$. As funções de transferência do filtro e do conversor D/A são $H(z)$ e $G(z)$, respectivamente. Para simplificação da análise, considera-se o conversor D/A ideal, ou seja, $G(z) = 1$.

$H(z)$ representa a função de transferência de um filtro discreto e o seu ganho a baixas frequências é normalmente elevado. Por aplicação do princípio de sobreposição, obtém-se a saída $Y(z)$:

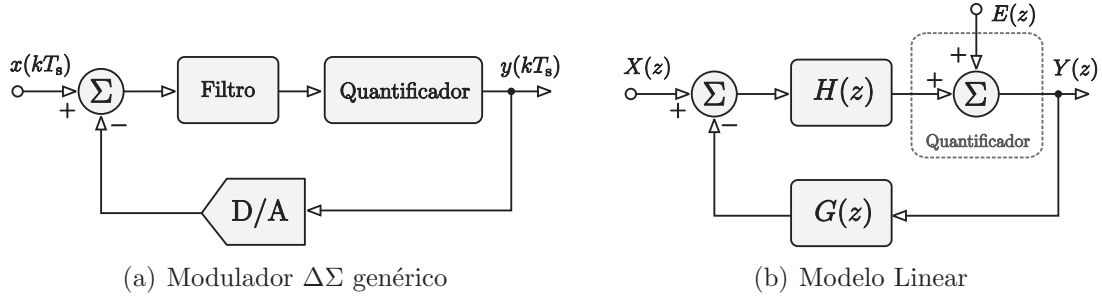


Figura 2.14 – Representação genérica de um modulador $\Delta\Sigma$.

$$Y(z) = \frac{H(z)}{1 + H(z)} X(z) + \frac{1}{1 + H(z)} E(z) \quad (2.18)$$

As funções de transferência do sinal, $S_{TF}(z)$, e do ruído de quantificação, $N_{TF}(z)$, são definidas como:

$$S_{TF}(z) \equiv \frac{Y(z)}{X(z)} = \frac{H(z)}{1 + H(z)} \quad (2.19)$$

$$N_{TF}(z) \equiv \frac{Y(z)}{E(z)} = \frac{1}{1 + H(z)} \quad (2.20)$$

Note-se que os zeros de $N_{TF}(z)$ são iguais aos pólos de $H(z)$, ou seja, à medida que $H(z)$ tende para o infinito, $N_{TF}(z)$ tenderá para zero. Combinando a realimentação com o elevado ganho de $H(z)$ ao longo da largura de banda do sinal, a densidade do ruído de quantificação pode ser modulada de uma forma útil, ou seja, tornar $N_{TF}(z)$ muito próximo de zero e $S_{TF}(z)$ próximo da unidade. Deste modo consegue-se uma elevada redução do ruído de quantificação ao longo da largura de banda do sinal, enquanto que o próprio sinal permanece inalterado. A realimentação não reduzirá o ruído de alta frequência, visto que o ganho da malha é baixo nesta gama de frequências. A filtragem deste ruído é feita posteriormente por filtragem passa-baixo digital.

No caso da modulação de ruído de 1ª ordem, $N_{TF}(z)$ deve ter um zero à frequência DC (isto é, $z = e^{+j\omega T} = 1$, onde $\omega = 0$), de modo a que o ruído de quantificação de baixa frequência seja filtrado. Como os zeros de $N_{TF}(z)$ são iguais aos pólos de

$H(z)$, $H(z)$ deve ter um pólo em $z = 1$, dando origem à função de transferência de um integrador discreto:

$$H(z) = \frac{1}{z - 1} = \frac{z^{-1}}{1 - z^{-1}} \quad (2.21)$$

2.3.2 Modulador Delta-Sigma de 1ª ordem

A arquitectura mais simples de implementação da modulação de ruído consiste no modulador $\Delta\Sigma$ de 1ª ordem, cujo modelo linear é ilustrado na figura 2.15.

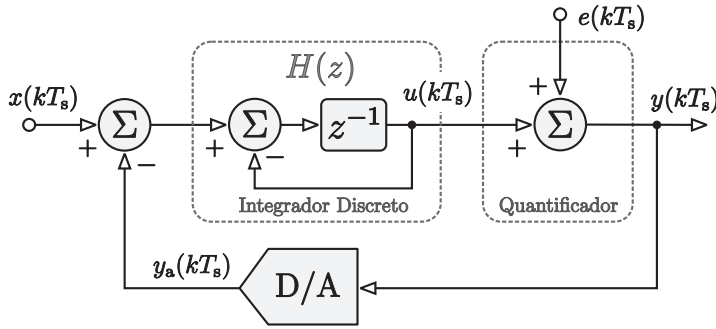


Figura 2.15 – Modelo linear de um modulador $\Delta\Sigma$ de primeira ordem.

Neste modelo, o modulador é composto por um somador à entrada, um integrador discreto (acumulador), um quantificador de 1 bit e um conversor D/A de 1 bit no ramo de realimentação. A saída do modulador é realimentada, sendo subtraída à entrada do modulador⁸. O resultado é integrado e posteriormente quantificado em dois níveis distintos ($\pm\Delta/2$).

Considerando um valor DC no intervalo $] -\Delta/2, +\Delta/2[$ para a entrada $x(kT_s)$, quando a saída do quantificador, $y(kT_s)$, tem o valor $+\Delta/2$, esta é maior do que a entrada $x(kT_s)$ e deste modo o integrador acumula um valor negativo do erro $x(kT_s) - y_a(kT_s)$, reduzindo essa diferença. Após alguns ciclos, o integrador já acumulou um número suficiente de erros por forma a que o quantificador comute para $-\Delta/2$, tornando agora o erro positivo. Os erros positivos serão então acumulados até que a saída do quantificador passe novamente ao valor $+\Delta/2$. Fazendo a média

⁸Considera-se o conversor D/A ideal, ou seja, $y_a(nT_s) = y(nT_s)$

do valor binário à saída do quantificador, o erro entre a saída e a entrada foi reduzido devido à realimentação negativa, já que os erros positivos cancelam o valor dos erros negativos. Ao longo de um período de tempo, a diferença acumulada entre o sinal de entrada e o sinal realimentado tenderá para zero, e a densidade de impulsos ‘ $+\Delta/2$ ’ e ‘ $-\Delta/2$ ’ à saída será uma aproximação digital da entrada, ou seja, quanto maior a entrada, maior a densidade de ‘ $+\Delta/2$ ’ e, vice-versa.

Utilizando equações às diferenças na análise, a saída do integrador $u[k]$ é dada por⁹:

$$u[k] = x[k-1] - y_a[k-1] + u[k-1] \quad (2.22)$$

onde $x[k-1]$ representa o sinal de entrada, $y_a[k]$ a representação analógica da saída $y[k]$. A saída $y[k]$ do quantificador toma os valores $\pm\Delta/2$, dependendo do sinal à sua entrada, $u[k]$. O erro de quantificação $e[k]$ pode agora ser definido como a diferença entre a saída $y[k]$ e a entrada do quantificador $u[k]$:

$$e[k] = y[k] - u[k] \quad (2.23)$$

Assumindo que o conversor D/A no ramo de realimentação é ideal, ou seja, $y_a[k]=y[k]$, a saída pode ser descrita em função da entrada e do ruído de quantificação:

$$y[k] = x[k-1] + (e[k] - e[k-1]) \quad (2.24)$$

Aplicando a transformada z resulta:

$$Y(z) = z^{-1} X(z) + (1 - z^{-1}) E(z) \quad (2.25)$$

onde $Y(z)$ é a transformada z da saída do modulador $y[k]$, $X(z)$ a transformada z da entrada $x[k]$ e $E(z)$ a transformada z do erro de quantificação $e[k]$.

⁹A notação de $x[k]$ foi escolhida meramente por questões de simplicidade de escrita e corresponde ao valor do sinal $x(t)$ no instante de amostragem k , ou seja, $x(kT_s)$.

Recordando a expressão (2.18), as funções de transferência do sinal e do ruído são, neste caso, $S_{TF}(z) = z^{-1}$ e $N_{TF}(z) = (1 - z^{-1})$, respectivamente. A saída é então composta por uma versão atrasada da entrada e pelo ruído de quantificação, que foi modulado por um filtro passa-alto de 1ª ordem. Como o zero de $N_{TF}(z)$ está em $z = 1$, $N_{TF}(z)$ provoca uma atenuação infinita à frequência DC, diminuindo a uma taxa de 20dB/dec.

Tendo em conta que a componente do ruído de modulação presente em $Y(z)$ é $N(z) = N_{TF}(z) E(z) = (1 - z^{-1}) E(z)$, a sua densidade espectral de potência, $E(f)$, é determinada por:

$$N(f) = E(f) |1 - z^{-1}|, \quad (2.26)$$

onde, aplicando a transformada z e substituindo $z = e^{j\omega T}$ para frequências reais,

$$\begin{aligned} |1 - z^{-1}| &= |1 - e^{-j2\pi f/f_s}| \\ &= \left| \frac{e^{+j\pi f/f_s} - e^{-j\pi f/f_s}}{2j} \right| 2j e^{-j\pi f/f_s} \\ &= |2 \sin(\pi f/f_s)| \end{aligned} \quad (2.27)$$

resulta em:

$$N(f) = \sqrt{8 \frac{\Delta^2}{12} T_s} \sin\left(\frac{\omega T_s}{2}\right), \quad (2.28)$$

O total de ruído de quantificação contido na largura de banda do sinal, n_{BW}^2 , pode então ser calculado elevando ao quadrado e integrando a densidade espectral do ruído, ou seja:

$$\begin{aligned} n_{BW}^2 &= \int_0^{f_B} N^2(f) df, \\ &= \frac{\Delta^2}{12} \frac{1}{f_s} \int_0^{f_B} |2 \sin(\pi f/f_s)|^2 df, \\ &= \frac{\Delta^2}{12} \frac{\pi^2}{3} \frac{1}{M^3}, \quad M = \frac{f_s}{2f_B} \gg 1 \end{aligned} \quad (2.29)$$

Recordando as expressões (2.8) e (2.10), a relação sinal-ruído que é possível obter, num modulador $\Delta\Sigma$ de 1ª ordem para uma entrada sinusoidal, é dada por:

$$\text{SNR}_{\max} = 10 \log\left(\frac{s_y^2}{n_{\text{BW}}^2}\right) = 10 \log\left(\frac{36 \cdot 2^{2N} M^3}{8 \pi^2}\right), \quad (2.30)$$

ou:

$$\text{SNR}_{\max} = 6,02 N + 1,76 - 5,17 + 30 \log(M) \quad (\text{dB}) \quad (2.31)$$

Como podemos observar pelo resultado, a duplicação da taxa de sobreamostragem M reduz o ruído em cerca de 9 dB, ou seja, aumenta a resolução efectiva do modulador $\Delta\Sigma$ de 1ª ordem em cerca de 1,5 bits. Embora a utilização deste tipo de modulador melhore significativamente o valor de SNR face à utilização de apenas sobreamostragem, ainda é necessária uma elevada taxa de sobreamostragem (maior do que 1500) para atingir um desempenho equivalente a 16 bits.

Uma das principais desvantagens deste simples modulador, e que normalmente limita a sua aplicação, é a possibilidade de ocorrência de tons de baixa frequência, e portanto contidos na largura de banda do sinal, para determinados valores DC da entrada $x(t)$.

Por forma a ilustrar a ocorrência deste fenómeno, assuma-se que neste caso o quantificador e o conversor D/A são de 1 bit e que os seus níveis de saída são 0 V e 1 V ($\Delta = 1$ V), e que a entrada tem um valor constante de amplitude k/m V, onde k e m são números primos e $k < m$. Neste caso, é possível ter um padrão periódico à saída do integrador, de período igual a m impulsos, contendo k impulsos de valor 1 V e $(m-k)$ impulsos de valor 0 V. O valor médio à saída do modulador será igual à entrada $x(t)$ e, mesmo assim, nestas condições, a malha pode estabilizar num regime oscilatório. No exemplo da figura 2.16 o valor da entrada é $(3/7)\Delta$, o que significa que o padrão ilustrado se repete a cada 7 ciclos. Se o valor m for suficientemente elevado de modo a que $m > f_s/f_B = 2M$, então a componente fundamental f_s/m da oscilação sobrepor-se-á à banda do sinal, e deste modo aparecerá na saída final como um tom sinusoidal de amplitude considerável, dando origem ao designado *pattern noise* [26].

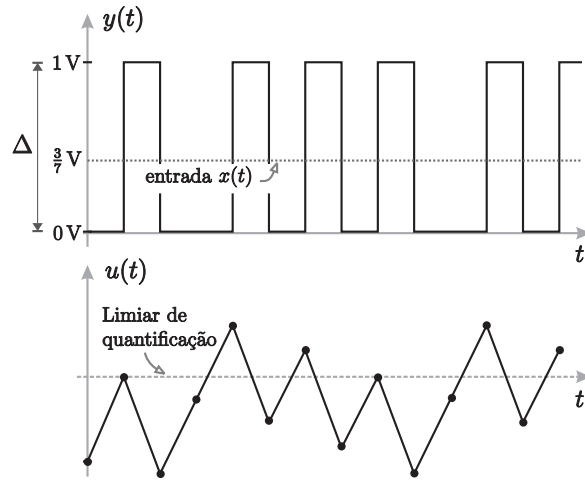


Figura 2.16 – Ilustração do efeito de *pattern noise* no modulador $\Delta\Sigma$ de 1^a ordem - Saída do modulador ($y(t)$), e saída do integrador ($u(t)$) para uma entrada DC de amplitude $(3/7) V$.

Um dos modos de evitar o aparecimento do *pattern noise* é injectar na entrada um sinal AC¹⁰, por forma a reduzir a correlação entre $e(kT_s)$ e $x(kT_s)$. No entanto, esta solução tem também o inconveniente de reduzir a gama dinâmica do sistema [28]. O método mais eficaz de resolver este problema é precisamente a utilização de moduladores de ordem superior.

¹⁰Técnica vulgarmente referida por *dithering*.

2.3.3 Modulador Delta-Sigma de 2ª ordem

A modulação de ruído de 2ª ordem pode ser obtida através da utilização de dois integradores em cascata. No entanto, um sistema com dois integradores numa malha pode apresentar problemas de estabilidade, pelo que uma malha interior é adicionada, por forma a estabilizar o modulador, tal como ilustrado na figura 2.17, onde se representa a estrutura convencional de um modulador $\Delta\Sigma$ de 2ª ordem.

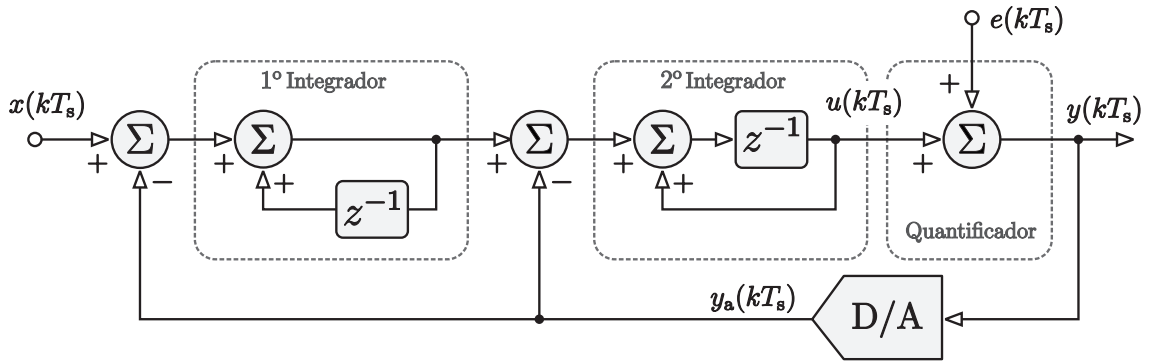


Figura 2.17 – Estrutura convencional de um modulador $\Delta\Sigma$ de segunda ordem.

Seguindo o procedimento utilizado na secção anterior, a saída do modulador é dada por:

$$y[k] = x[k-1] + (e[k] - 2e[k-1] + e[k-2]) \quad (2.32)$$

ou seja, o ruído presente à saída é agora a segunda diferença do erro de quantificação. Aplicando a transformada z resulta:

$$Y(z) = z^{-1} X(z) + (1 - z^{-1})^2 E(z) \quad (2.33)$$

Cálculos similares aos efectuados na secção anterior permitem estabelecer a densidade e a potência do ruído de quantificação, bem como a relação sinal-ruído para um sinal de entrada sinusoidal:

$$N(f) = \sqrt{32 \frac{\Delta^2}{12} T_s} \sin^2 \left(\frac{\omega T_s}{2} \right) \quad (2.34)$$

$$n_{\text{BW}}^2 = \frac{\Delta^2}{12} \frac{\pi^4}{5} \frac{1}{M^5} \quad (2.35)$$

$$\text{SNR}_{\text{max}} = 6,02 N + 1,76 - 12,9 + 50 \log(M) \quad (\text{dB}) \quad (2.36)$$

A expressão (2.36) indica que num modulador $\Delta\Sigma$ de segunda ordem a duplicação da taxa de sobreamostragem, M , aumenta a relação sinal-ruído em cerca de 15 dB, o que se traduz num aumento da resolução efectiva em cerca de 2,5 bits.

Outro aspecto importante que distingue a modulação de segunda ordem da de primeira é que o aparecimento de tons, ao longo da largura de banda, é largamente atenuado pela presença do segundo integrador, que reduz a dependência do ruído de quantificação nas recentes amostras do sinal de entrada, reduzindo desta forma a sua correlação.

Escalonamento de ganho

Para a estrutura convencional representada anteriormente na figura 2.17, mostra-se que a saída de ambos os integradores é várias vezes superior à excursão do sinal analógico de entrada ($\pm\Delta/2$) [25]. Este requisito representa algumas dificuldades de implementação em tecnologias CMOS, dado que, nestas, a gama dinâmica dos componentes é normalmente restrita. A arquitectura ilustrada na figura 2.18 permite uma menor excursão nos integradores, através do escalonamento dos ganhos à entrada de cada um.

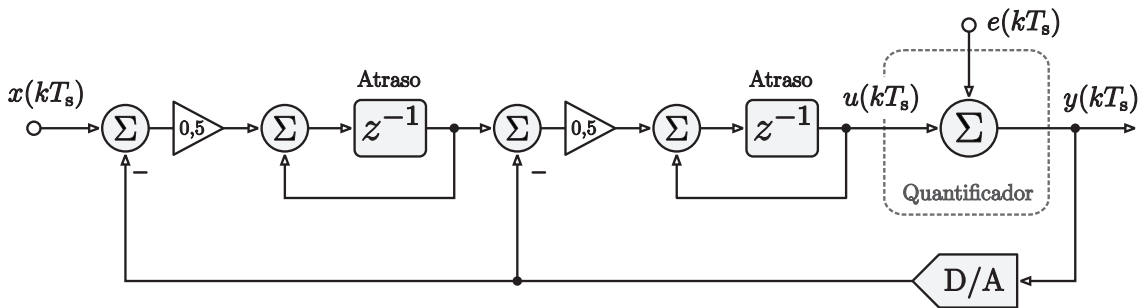


Figura 2.18 – Arquitectura modificada de um modulador $\Delta\Sigma$ de segunda ordem.

Embora a sua função de transferência seja a mesma, esta arquitectura difere da configuração tradicional em dois aspectos: um atraso no ramo directo é incluído em ambos os integrados, simplificando deste modo a sua implementação em circuitos analógicos amostrados, e cada integrador é precedido de uma atenuação de 0,5. Com esta arquitectura, o requisito de excursão de saída de cada integrador é apenas o de ser ligeiramente superior à excursão máxima do sinal de entrada. Genericamente, os blocos de ganho 0,5 na estrutura da figura 2.18 podem ser colocados antes do ponto soma, tornando o escalonamento mais flexível e simplificando a sua implementação. Assim, a estrutura de um modulador de segunda ordem pode ser representada pelo diagrama da figura 2.19, onde os factores de ganho g_1 , g'_1 , g_2 e g'_2 são idênticos e iguais a 0,5.

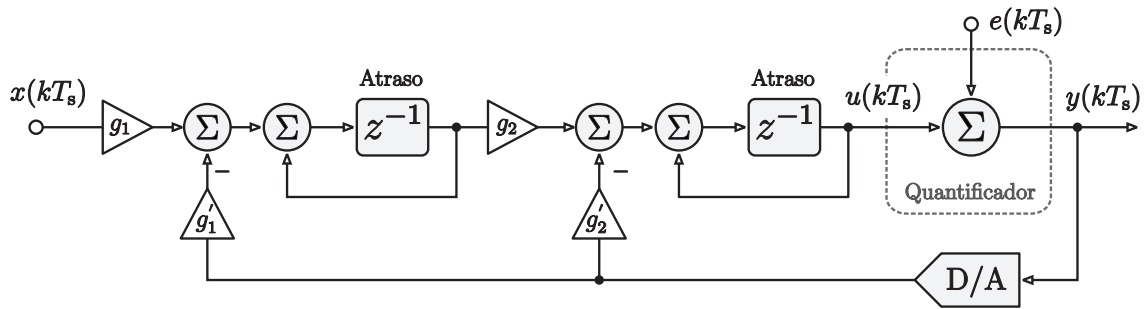


Figura 2.19 – Arquitectura genérica de um modulador $\Delta\Sigma$ de segunda ordem.

Na figura 2.20 compara-se o efeito da modulação de ruído obtida através da utilização de moduladores $\Delta\Sigma$ com quantificação de 1 bit de 1ª e 2ª ordens. Como se pode observar, complementando a sobreamostragem com modulação de ruído reduz-se significativamente o ruído na banda de interesse. É também claro que para o mesmo valor da taxa de sobreamostragem, o aumento da ordem do modulador $\Delta\Sigma$ traduz-se numa maior redução de ruído na largura de banda do sinal, aumentando a relação sinal-ruído.

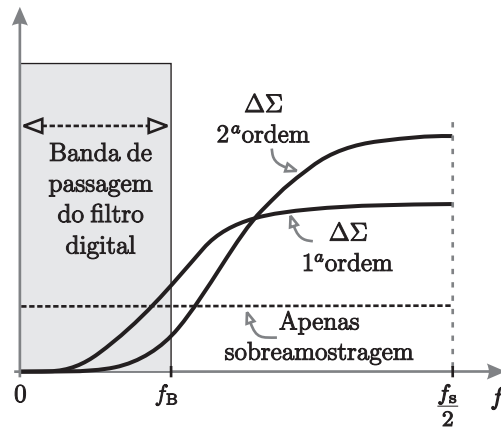


Figura 2.20 – Modulação de ruído obtida pelos moduladores $\Delta\Sigma$ de 1ª e 2ª ordens.

2.3.4 Arquitecturas de conversores A/D $\Delta\Sigma$

Dependendo da forma como são implementados, os conversores $\Delta\Sigma$ podem ser classificados nas seguintes categorias:

1. Ordem reduzida, único estágio e quantificador de 1 bit;
2. Ordem elevada, único estágio e quantificador de 1 bit;
3. Múltiplos estágios em cascata com correcção de erro;
4. Quantificação multi-bit.

Os moduladores $\Delta\Sigma$ de primeira e de segunda ordens abordados anteriormente, pertencem à primeira categoria desde que utilizem uma quantificação de 1 bit. Estas arquitecturas são caracterizadas pela sua estabilidade e apresentam poucas restrições à excursão máxima do sinal de entrada e a sua implementação é relativamente simples. No entanto, devido à sua reduzida ordem, não conseguem atingir valores elevados de SNR com taxas de sobreamostragem baixas ou médias.

Moduladores de um estágio de ordem elevada

A estrutura da malha utilizada no modulador de segunda ordem pode ser extendida para criar um modulador de ordem L , conforme ilustrado na figura 2.21. Quando um modulador é composto por L integradores, e não ocorre saturação do quantificador,

a sua análise linear [28] mostra que a densidade e a potência do ruído de modulação podem ser descritas por:

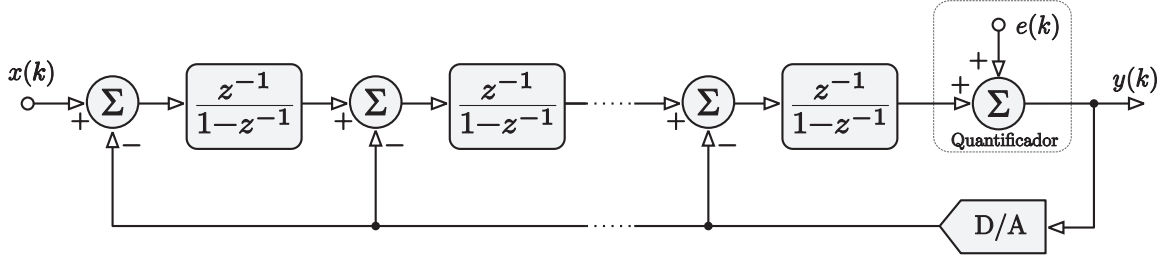


Figura 2.21 – Diagrama de blocos de um modulador de um estágio e ordem L .

$$N(f) = \sqrt{2 \frac{\Delta^2}{12} T_s} \left[2 \sin \left(\frac{\omega T_s}{2} \right) \right]^L \quad (2.37)$$

$$n_{BW}^2 = \frac{\Delta^2}{12} \frac{\pi^{2L}}{2L+1} \left(\frac{1}{M} \right)^{2L+1} \quad (2.38)$$

e o valor máximo de SNR que pode ser obtido é:

$$\text{SNR}_{\max} = 6,02N + 1,76 + 10 \log \left(\frac{2L+1}{\pi^{2L}} \right) + 10 (2L+1) \log(M) \quad (2.39)$$

A equação (2.39) indica-nos que o ruído cai cerca de $3(2L-1)$ dB cada vez que se duplica a taxa de amostragem M , aumentando a resolução em $(L - \frac{1}{2})$ bits. No entanto, a estabilidade da malha torna-se bastante precária para filtros de ordem $L > 2$. A análise linear de moduladores de ordem L , que resulta numa função de transferência do ruído do tipo $N_{TF}(z) = (1 - z^{-1})^L$, não permite prever a sua estabilidade, já que o ganho equivalente do quantificador de 1 bit varia abruptamente com o valor à sua entrada. Por forma a garantir a estabilidade de malha é necessário que o ganho equivalente do quantificador seja elevado. Deste modo, e para um valor de saída constante, esta situação só é possível se a entrada do quantificador for pequena. Por forma a que isso seja possível, a amplitude máxima do sinal de entrada tem de ser restringida a um valor muito pequeno, reduzindo-se deste modo a sua gama dinâmica.

Na prática, os coeficientes do filtro de malha devem ser cuidadosamente escolhidos e a estabilidade é, normalmente dependente da amplitude do sinal de entrada. Aliás, a análise da estabilidade da malha deve ser simulada em tempo discreto ao invés da utilização do seu modelo linear. O aspecto da estabilidade é normalmente conseguido definindo-se uma gama de amplitudes de entrada “segura”, o que também está relacionada com a escolha dos coeficientes.

Na figura 2.22 compara-se o aumento da relação sinal-ruído SNR em função da taxa de sobreamostragem M , para moduladores $\Delta\Sigma$ de 1 bit e de ordens 1, 2, 3 e 4.

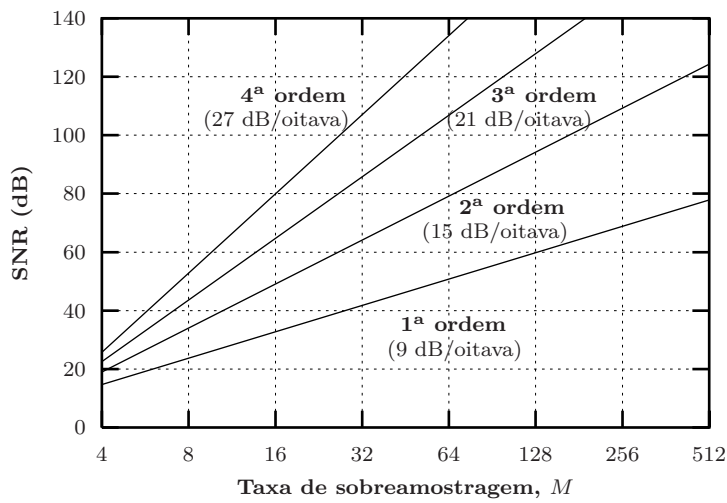


Figura 2.22 – SNR em função da ordem do modulador e da taxa de sobreamostragem.

Moduladores em cascata

Uma alternativa à implementação de moduladores $\Delta\Sigma$ de ordem elevada, e que não apresenta os problemas de estabilidade associados às implementações de um único estágio, é a arquitectura multi-estágio ou em cascata, como ilustrado na figura 2.23. Um modulador deste tipo consiste na ligação em cascata de vários moduladores de ordem reduzida, cada um com o seu quantificador.

Cada modulador em cascata converte o erro de quantificação do modulador anterior. Os erros resultantes de todos os moduladores, excepto do último, é então cancelado digitalmente. Nesta arquitectura, a estabilidade é garantida, desde que os moduladores utilizados sejam também estáveis.

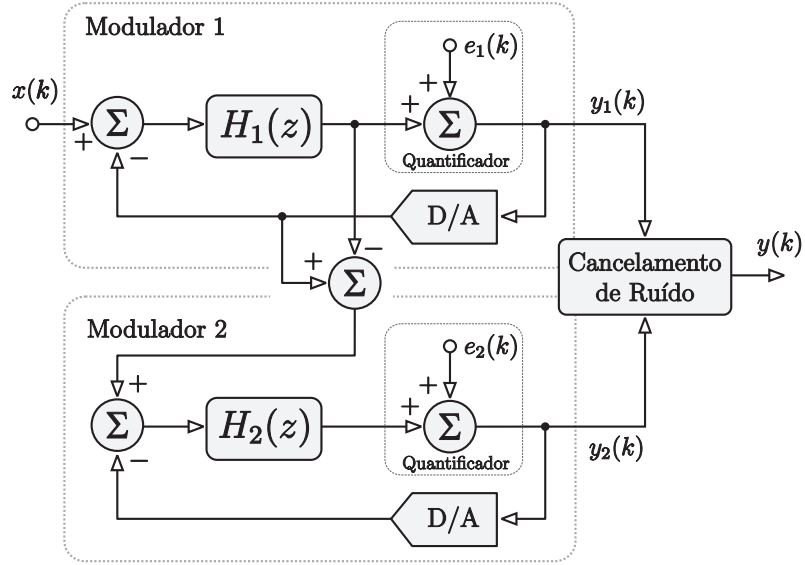


Figura 2.23 – Diagrama de blocos de um modulador em cascata.

Uma das desvantagens desta estrutura em cascata é que para cancelar o erro de quantificação $e_1(k)$ é necessário reproduzir exactamente as funções $H_1(z)$ e $H_2(z)$ na função de transferência usada no cancelamento de erro. Se estas condições não forem satisfeitas, existirá na saída $y(k)$ uma componente de erro devido a $e_1(k)$, degradando a relação sinal-ruído.

Moduladores com quantificação multi-bit

Como referido anteriormente, os moduladores $\Delta\Sigma$ de 1 bit utilizam um conversor D/A de 1 bit no ramo de realimentação, que devido à sua inerente linearidade, não requer elevada precisão de componentes analógicos. Aliás, este aspecto tornou este tipo de arquitectura bastante atractiva na sua implementação em tecnologia CMOS. No entanto, pode ser observado das equações (2.31) e (2.36) que, se for empregue uma quantificação multi-bit nos moduladores ilustrados nas figuras 2.15 e 2.17, se pode obter um aumento do valor de SNR de aproximadamente 6 dB por cada bit adicional de quantificação. Isto deve-se a que o degrau de quantificação Δ na equação (2.6) é reduzido por um factor de 2 por bit, e deste modo a potência do ruído de quantificação será reduzida de um factor de 4 por cada bit adicional do quantificador.

A quantificação multi-bit tem, no entanto, que ser executada durante apenas um ciclo de relógio, visto que a estabilidade e a modulação de ruído dependem do atraso provocado na malha. Para tal é empregue um conversor A/D do tipo *flash* para efectuar a quantificação. Por um lado, a não-linearidade do conversor A/D irá aumentar o ruído de quantificação, mas que será entretanto atenuado pelo processo de modulação de ruído. O mesmo já não poderá ser dito em relação ao conversor D/A interno, dado que a sua não-linearidade afectará directamente o sinal de saída. Isto poderá ser observado pela análise do modelo linear representado na figura 2.24, onde $a(k)$ representa o desvio do quantificador em relação à sua função de transferência ideal, ou seja, a sua não-linearidade, $e(k)$ o erro de quantificação, e $d(k)$ representa o erro devido à não-linearidade do conversor D/A.

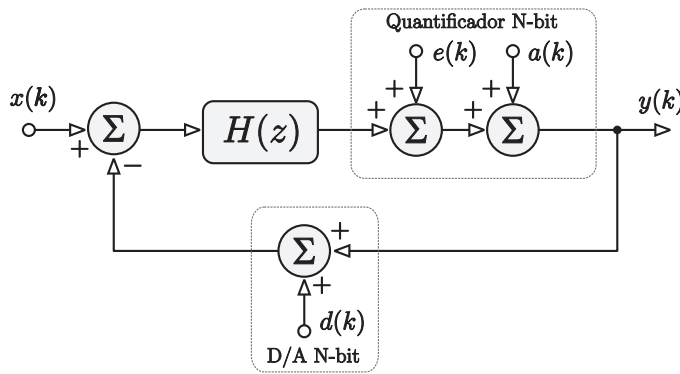


Figura 2.24 – Modelo linear de um modificador $\Delta\Sigma$ com quantificação multi-bit com erros de não-linearidade.

Para que a modulação de ruído possa ocorrer é necessário que o ganho de $H(z)$ seja elevado a baixas frequências. Deste modo, quer $a(k)$ quer $e(k)$ serão reduzidos por este ganho elevado quando referidos à entrada $x(k)$. No entanto, o erro $d(k)$ incide no ramo de realimentação, pelo que a linearidade da saída $y(k)$ não poderá ser melhor do que a linearidade do conversor D/A interno. Por exemplo, para se obter 16 bits de resolução num conversor $\Delta\Sigma$ multi-bit, é necessário que o conversor D/A tenha uma precisão equivalente, ou seja, $1/2^{16} \cong 0,0015\%$. Uma implementação directa deste tipo de arquitectura requer que se utilizem processos mais dedicados para se obterem componentes de precisão (por exemplo, resistências ajustadas por *laser*) e acaba por desvirtuar a vantagem da utilização da quantificação de 1 bit nos

conversores A/D $\Delta\Sigma$.

Tendo em conta os procedimentos de análise efectuados nos casos anteriores, determina-se que para o caso genérico de um modulador $\Delta\Sigma$ de ordem L , com quantificação interna de B bits e taxa de sobreamostragem M , a potência do ruído na banda de interesse é determinada por:

$$n_{\text{BW}}^2 = \frac{\Delta^2}{12 (2^B - 1)^2} \frac{\pi^{2L}}{2L + 1} \left(\frac{1}{M} \right)^{2L+1} \quad (2.40)$$

e o valor máximo de SNR que é possível obter:

$$\text{SNR}_{\text{max}} = \frac{3}{2} (2^B - 1) \frac{2L + 1}{\pi^{2L}} M^{2L+1} \quad (2.41)$$

2.3.5 Efeito das não-idealidades dos circuitos constituintes

Como referido anteriormente, a máxima relação sinal-ruído que teoricamente é possível obter com um modulador $\Delta\Sigma$ depende de três parâmetros relacionados com a escolha da arquitectura: a ordem L do modulador, o número de bits B do seu quantificador e da taxa de sobreamostragem M . No entanto, as expressões obtidas anteriormente têm apenas em consideração o ruído introduzido pelo quantificador. Embora a conversão A/D $\Delta\Sigma$ seja intrinsecamente menos sensível às não-idealidades dos blocos constituintes, é necessário ter em consideração o impacto de outras fontes de ruído, principalmente em aplicações de alta resolução e/ou conversão de sinais de baixo nível. Quando todas as fontes de ruído são consideradas, estas definem o nível total de ruído presente à saída do modulador. Por exemplo, para se obter um desempenho efectivo de 16 bits é necessário que a potência total do ruído à saída do modulador seja inferior em cerca de 98 dB (*noise floor*), em relação a um sinal cuja amplitude seja igual à excursão de entrada máxima do modulador, sem que isso não cause a saturação do quantificador.

As não-idealidades que afectam o comportamento dos moduladores $\Delta\Sigma$ podem

ser agrupadas em duas categorias:

1. Não-idealidades que afectam directamente as funções de transferência do sinal e do ruído, S_{TF} e N_{TF} , respectivamente. Essencialmente são fontes de ruído originadas pelo comportamento dinâmico dos componentes utilizados na malha do modulador, como por exemplo o ganho DC finito do integrador, erro na constante de tempo do integrador e o atraso provocado pelo conversor D/A no ramo de realimentação.
2. Não-idealidades que adicionam outras fontes de ruído, que, pela sua natureza, não são atenuadas na largura de banda de interesse pela função de modulação de ruído. Nesta categoria estão incluídos outros factores relacionados com as não-idealidades do integrador (ruído térmico, taxa de variação da tensão de saída e máxima excursão de saída), não-idealidades relativas ao comparador (histerese e desvio) e à instabilidade do relógio (*jitter*).

De seguida abordam-se algumas destas não-idealidades e o modo como afectam o desempenho de um modulador $\Delta\Sigma$.

Não idealidades do integrador

No domínio da transformada z , um integrador tem uma função de transferência:

$$H(z) = \frac{g_0 z^{-1}}{1 - P_0 z^{-1}} \quad (2.42)$$

onde g_0 representa um factor de ganho que precede o integrador e P_0 um factor que indica as perdas do integrador. O seu ganho DC é determinado para $z = 1$, ou seja:

$$H(1) = H_0 = \frac{g_0}{1 - P_0} \quad (2.43)$$

Num integrador ideal, o factor P_0 que traduz as perdas é igual à unidade, o que se traduz no já esperado ganho DC infinito. Na prática, tal situação não é possível, dado que o que o integrador utiliza um amplificador operacional de ganho DC finito,

e P_0 é sempre inferior à unidade. A consequência desta perda é que apenas a fracção P_0 da saída anterior do integrador é adicionada à nova entrada.

O ganho limitado a baixas frequências reduz deste modo a atenuação do ruído de quantificação na banda de interesse e, consequentemente, altera a função de modulação de ruído. Isto traduz-se no aumento do ruído de quantificação contido na largura de banda do sinal, cuja proporção é dada por [25]:

$$\frac{\Delta n_{\text{BW}}^2}{n_{\text{BW}}^2} = \frac{5}{\pi^4} \left(\frac{M}{H_0} \right)^4 + \frac{10}{3\pi^2} \left(\frac{M}{H_0} \right)^2 \quad (2.44)$$

Esta expressão permite deduzir que para um ganho DC do integrador igual ao valor da taxa de sobreamostragem M , o ruído de quantificação contido na banda de interesse aumenta somente de 1 dB. Na prática, o ganho DC é normalmente mais elevado, por forma a também reduzir alguma distorção harmónica.

Existem outras não-idealidades que estão associadas às características do amplificador operacional utilizado no integrador. A largura de banda para ganho unitário (*unity-gain bandwidth*) e a taxa de variação da saída (*slew-rate*), embora relacionadas, limitam a máxima frequência de operação. Além disso, valores inadequados destes parâmetros levam à incapacidade do integrador poder atingir o seu valor final. Estas não-idealidades serão abordadas posteriormente em maior detalhe.

Atraso provocado pelo conversor D/A

Um conversor D/A ideal responde imediatamente aos flancos dos impulsos que provêm do quantificador (ou comparador, no caso de quantificação de 1 bit). No entanto, os tempos de comutação não nulos dos transístores utilizados no comparador, bem como o tempo de reacção do próprio conversor D/A, originam um atraso entre o processo de quantificação e a actualização da saída do conversor D/A. Este atraso, vulgarmente referido por *Excess Loop Delay*, provoca a alteração da margem de fase da malha do modulador, que se pode traduzir num aumento da susceptibilidade para o modulador se tornar instável. Isto deve-se essencialmente ao aumento da ordem do modulador causada pela adição do termo z^{-d} , onde d representa o

atraso, que provoca um deslocamento dos pólos e zeros da função de transferência do modulador. Prova-se [29] que enquanto o atraso for constante e o modulador se mantiver estável, não existirá degradação do valor de SNR. No entanto, no caso do atraso ser dependente da amplitude do sinal de entrada, este pode ser considerado ruído branco e, deste modo, degradar a relação sinal-ruído.

Ruído electrónico

O ruído electrónico aparece na saída do modulador $\Delta\Sigma$ adicionado ao seu ruído de quantificação. Especialmente em aplicações de elevada resolução e/ou com sinais de entrada de baixo nível, o ruído electrónico tende a ser mais limitativo do que o ruído de quantificação, dado que este pode ser minimizado através da escolha apropriada dos parâmetros do modulador. Particularmente, o ruído presente à entrada do modulador contribui para o ruído presente na largura de banda do sinal à saída do modulador. Ruído proveniente de outros estágios, dentro da malha do modulador, passa pela função de transferência de ruído, sendo deste modo atenuado. O ruído presente fora da banda de interesse é removido por filtragem digital. Deste modo, todo o tipo de ruído referido à entrada do primeiro integrador deve ser mantido o mais baixo possível.

As componentes de baixa frequência de todas as fontes de ruído são de facto as mais limitativas, e são principalmente devidas ao amplificador operacional do primeiro integrador. O ruído presente no substrato, ruído $1/f$ nos transístores MOS da entrada do amplificador e o ruído térmico são as fontes de ruído, referidas à entrada, mais relevantes. Os efeitos das restantes fontes de ruído, como por exemplo os acoplamentos com o substrato e ruído derivado da alimentação, podem ser substancialmente reduzidos através da utilização de técnicas adequadas de desenho do circuito integrado e através da utilização de arquitecturas diferenciais.

Instabilidade do relógio

A instabilidade do relógio, vulgarmente referida por *clock jitter*, é a variação estatística dos flancos do relógio [30]. Existem essencialmente dois sinais de relógio

num modulador $\Delta\Sigma$ e ambos podem ser afectados por *jitter*. Um deles controla o instante de decisão do quantificador (ou comparador, no caso de quantificação de 1 bit), enquanto que o outro controla a saída do conversor D/A no ramo de realimentação. Como a saída do quantificador é modulada pela função de transferência de ruído $N_{TF}(z)$ (tal como o ruído de quantificação), o impacto deste erro será consideravelmente pequeno. No entanto, a saída do conversor D/A é modulada pela função de transferência do sinal, $S_{TF}(z)$, pelo que o ruído provocado pelo *clock jitter* é adicionado ao sinal de entrada, degradando a sua relação sinal-ruído.

Existem duas variantes de *jitter*, consoante se trate de um atraso do relógio ou da variação da largura dos impulsos de relógio. O atraso do relógio é no entanto afectado pela função de transferência de ruído, pelo que a sua contribuição é insignificante. No entanto, assumindo que a variação da largura dos impulsos é um processo aleatório Gaussiano não correlacionado com a entrada [25], a incerteza no instante de amostragem é considerada como ruído branco e degrada o valor de SNR do modulador, dado que está espalhado uniformemente por toda a gama de frequências.

A potência deste ruído contido na largura de banda do sinal de entrada é determinado por [29]:

$$e_{\text{jitter,BW}}^2 = \frac{V^2 (\Delta f / f_s)^2}{12 M} \quad (2.45)$$

onde V é amplitude dos impulsos de relógio, Δf é o valor absoluto da instabilidade do relógio, f_s a frequência do relógio e M é a taxa de sobreamostragem. A expressão (2.45) mostra que o ruído provocado pelo *clock jitter*, que é adicionado à potência total do ruído à saída do modulador, é inversamente proporcional à taxa de sobreamostragem M . No entanto, e tendo em consideração que a potência do ruído de quantificação de um modulador de ordem L é proporcional à potência $(2L + 1)$ de M , verifica-se que o *clock jitter* que pode ser tolerado diminui para um aumento de M [25].

Não-idealidades do quantificador

Uma das vantagens da modulação $\Delta\Sigma$ é utilizarem um quantificador de 1 bit, implementado com um comparador, devido à sua inerente linearidade. No entanto, este componente apresenta algumas não-idealidades que podem afectar o desempenho do modulador. Devido à sua posição na malha do modulador, o seu ruído, bem como o desvio (*offset*), referido à entrada são atenuados pela acção da modulação de ruído. No entanto, a histerese leva a que, para o comparador mudar o estado da sua saída, a entrada tenha de ser um pouco mais elevada do que o valor ideal, o que leva naturalmente ao aumento do ruído de quantificação. A sua contribuição para a potência total de ruído à saída do modulador, na banda de interesse, é determinada por [25]:

$$e_{\text{hist,BW}}^2 = 4h^2 \left[\frac{\pi^{2L}}{(2L+1) M^{2L+1}} \right], \quad (2.46)$$

onde L é a ordem do modulador, M a sua taxa de sobreamostragem, e h o valor da histerese. A análise da contribuição da histerese na potência total do ruído [25] mostra que até uma histerese de cerca de 10 % do valor do degrau de quantificação Δ a sua contribuição é insignificante, e que acima deste valor a contribuição aumenta em cerca de 20 dB/dec.

2.4 Selecção do Conversor A/D

A escolha de uma determinada arquitectura de conversão A/D para a interface sensorial é condicionada por alguns parâmetros que se relacionam com o tipo de aplicação, o tipo de sinais de entrada e a presença de outros circuitos no mesmo sistema. Resolução, precisão, velocidade de conversão, largura de banda, níveis de ruído e consumo são algumas características que têm de ser equacionadas e cujo compromisso condiciona a escolha de uma determinada arquitectura de conversão A/D.

Como referido anteriormente, um dos parâmetros mais importantes de um modulador $\Delta\Sigma$ é a sua gama dinâmica, dado que permite quantificar o nível da potência total do ruído presente à saída. Neste ruído estão já consideradas todas as suas fontes, bem como da eventual distorção harmónica que o próprio sinal sofra. A determinação deste parâmetro é assim essencial na determinação da resolução efectiva de um conversor A/D. A tabela 2.3 mostra a gama dinâmica necessária para se obter uma determinada resolução efectiva.

Tabela 2.3 – Resolução efectiva versus gama dinâmica.

Gama dinâmica (dB)	Resolução efectiva (bits)
49,92	8
61,97	10
74,01	12
86,05	14
98,09	16
110,13	18
122,17	20

De entre as arquitecturas de conversão A/D tradicionais, os conversores por aproximações sucessivas têm sido amplamente utilizados em aplicações relacionadas com sensores. Isto deve-se essencialmente ao seu baixo consumo, simplicidade e resolução que pode ser obtida. A aplicação de técnicas de condensadores comutados

bem como de técnicas de auto calibração permitem obter resoluções de cerca de 16 bits com este tipo de arquitectura. No entanto, esta arquitectura apoia-se no emparelhamento de componentes analógicos de precisão, pelo que a sua implementação não é adequada à tecnologia CMOS. As arquitecturas que se baseiam num processo de conversão indirecto, como é o caso das arquitecturas por integração no tempo, exibem baixas taxas de conversão e o tempo de conversão é dependente da amplitude do sinal de entrada. O seu desempenho é também dependente de componentes analógicos de precisão, e a sua linearidade é afectada por correntes de fuga no nó de alta impedância do integrador.

Por outro lado, outras arquitecturas tradicionais, como a arquitectura *flash* e a multipasso concorrencial, embora bastante utilizadas em aplicações de alta velocidade como a captura de imagem, estão definitivamente postas de parte em aplicações de baixa frequência, sobretudo devido ao seu consumo e complexidade.

Um dos motivos que tornaram os conversores A/D $\Delta\Sigma$ populares na implementação de interfaces sensoriais em tecnologia CMOS é o facto de trocarem resolução no tempo por resolução em amplitude. A combinação da técnica de modulação de ruído com uma amostragem a uma frequência muito superior à frequência de Nyquist permite a obtenção de conversores A/D que apresentam uma elevada insensibilidade às não-idealidades dos seus componentes e ao ruído de substrato, à custa de uma maior utilização de circuitos digitais rápidos. É precisamente este último aspecto que torna favorável a implementação deste tipo de arquitectura em processos CMOS, dado que, não sendo propriamente uma tecnologia de fabrico de componentes analógicos de precisão, é com certeza adequada à implementação de circuitos digitais rápidos.

O modulador $\Delta\Sigma$ de primeira ordem, devido ao número mínimo de componentes requeridos (um integrador e um comparador), é naturalmente o melhor candidato a uma aplicação de sensores. Além da sua inerente estabilidade e linearidade, a sua complexidade é reduzida e o seu desempenho não é sensível às não-idealidades dos componentes. No entanto, o fenómeno de *pattern noise*, causado pela correlação entre o sinal de entrada e o erro de quantificação, produz à saída tons imprevisíveis

de ruído na banda de interesse que degradam a sua relação sinal-ruído. Embora este problema possa ser atenuado pela sobreposição de um sinal de alta frequência com o sinal de entrada (*dithering*), o que torna a entrada suficientemente caótica, este tipo de arquitectura simples não é muitas vezes utilizado, devido à redução da gama dinâmica do modulador e o aumento da sua complexidade.

Arquitecturas de segunda ordem são muito menos sensíveis a este tipo de problema dado, que o erro de quantificação é agora uma função mais complexa e, deste modo, menos correlacionado com o sinal de entrada. Além disso, e devido ao aumento da ordem da função de modulação de ruído N_{TF} , a mesma resolução pode ser obtida com uma menor taxa de sobreamostragem.

O desempenho da arquitectura de segunda ordem é algo mais dependente das não-idealidades dos seu componentes, mas, no entanto, a modulação de ruído a baixas frequências não é tão sensível ao ganho do amplificador, visto agora existirem dois na malha. Relativamente à estabilidade, os moduladores de segunda ordem não são tão robustos como os de primeira. O aumento do atraso e/ou ganho da malha poderão causar instabilidade.

No entanto, esta arquitectura é uma das mais utilizadas em interfaces sensoriais [31, 32], visto ser possível estabelecer um compromisso óptimo entre desempenho, resolução efectiva, taxa de sobreamostragem, complexidade e consumo na grande maioria das aplicações a sensores. Além disso, e através da redução das tensões de referência, a excursão do sinal de entrada pode ser reduzida, o que se traduz num aumento da sensibilidade. Esta vantagem pode inclusivamente dispensar qualquer estágio de pré-amplificação e torna possível incluir o sensor directamente à entrada do modulador. Naturalmente, para gamas de entrada muito restritas, o ruído electrónico pode tornar-se dominante sobre o ruído de quantificação, mesmo para conversões de baixa resolução.

Na figura 2.25 comparam-se os moduladores $\Delta\Sigma$ de primeira e de segunda ordens, em termos do valor de SNR que é possível obter para uma determinada taxa de sobreamostragem.

Devido a potenciais problemas de estabilidade, que degradam o desempenho,

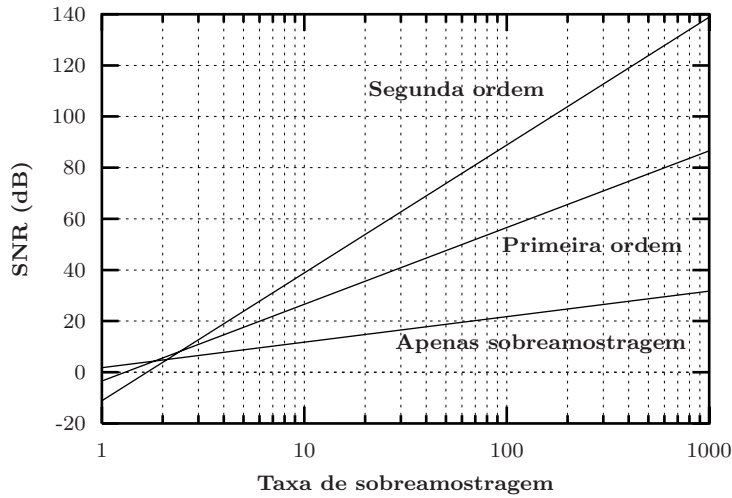


Figura 2.25 – SNR em função da taxa de sobreamostragem M e da ordem L de um modulador $\Delta\Sigma$.

gama dinâmica, fiabilidade e robustez dos moduladores $\Delta\Sigma$ de 3ª ordem ou superior, a sua utilização em interfaces sensoriais é geralmente impraticável, visto que normalmente a estabilidade está condicionada pela excursão admitida para o sinal de entrada. Além disso, ocupam uma área considerável devido à sua complexidade e apresentam um consumo relativamente elevado.

Arquitecturas mais complexas como os casos dos moduladores em cascata ou dos que utilizam quantificação multi-bit, permitem obter valores de SNR elevados para uma taxa de sobreamostragem relativamente baixa. Este tipo de arquitecturas são, pois, mais adequadas à conversão de sinais de frequência mais elevada, pelo que a sua complexidade não justifica a sua aplicação em interfaces sensoriais, pelo menos naquelas em que os sinais a converter são de baixa frequência.

A utilização da micro-interface sensorial proposta na monitorização de parâmetros relativos à agricultura é a típica aplicação onde as técnicas de modulação $\Delta\Sigma$ são particularmente vantajosas, tendo em consideração a reduzida largura de banda dos sinais a serem convertidos. Um modulador $\Delta\Sigma$ de segunda ordem pode, de facto, atingir os níveis requeridos de resolução, devido à possibilidade de se usar um valor elevado de taxa de sobreamostragem, e, mesmo assim, a correspondente frequência de amostragem ser relativamente baixa.

2.5 Implementação contínua *versus* discreta

Nas secções anteriores foram descritas algumas arquitecturas de modulação $\Delta\Sigma$ tendo também sido apresentadas as razões que, tendo em vista o campo aplicativo, levaram à escolha de um modulador de segunda ordem.

O componente mais importante de um modulador $\Delta\Sigma$ é precisamente o integrador. A sua implementação pode diferir consoante se trate de uma implementação em tempo contínuo ou em tempo discreto. Em tempo contínuo, um integrador é essencialmente realizado através de um amplificador operacional em que a realimentação é feita através de um condensador. A sua realização em tempo discreto utiliza uma técnica bastante popular: a técnica de condensadores comutados. De seguida apresentam-se resumidamente as duas formas de realização de um integrador, tendo em vista a escolha da mais apropriada para a implementação do modulador $\Delta\Sigma$ de segunda ordem. Entre a descrição das duas implementações, aborda-se resumidamente a técnica de condensadores comutados.

2.5.1 Integrador em tempo contínuo

Na figura 2.26 representa-se um integrador contínuo composto por um amplificador operacional em que o ramo de realimentação é constituído por um condensador.

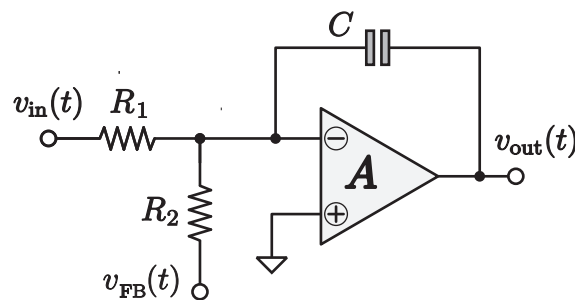


Figura 2.26 – Integrador em tempo contínuo.

Para fornecer uma corrente ao nó soma na entrada inversora, uma fonte de corrente controlada ou uma tensão aplicada a uma resistência podem ser utilizadas. A corrente no nó soma é integrada por forma a manter a terra virtual na entrada inversora do amplificador. No esquema apresentado, a resistência R_1 é usada para

converter a tensão de entrada v_{in} numa corrente que flui para o nó soma. A esta corrente poderá somar-se uma outra, que poderá, por exemplo, ser o sinal realimentado na malha do modulador. A tensão de saída v_{out} é uma função destas componentes de corrente, sendo o seu valor dado por:

$$v_{\text{out}} \approx \frac{1}{C} \int_0^T \frac{v_{\text{in}}(t)}{R_1} + \frac{v_{\text{FB}}(t)}{R_2} dt \quad (2.47)$$

Como se pode constatar, a constante de tempo do integrador é determinada pelos valores absolutos de C , R_1 e R_2 . É por esta razão que este tipo de implementação é preterida quando se utiliza uma tecnologia CMOS. Embora esta permita a realização de resistências e de condensadores, as tolerâncias nos seus valores são normalmente elevadas. O fabrico de resistências de valor elevado exige também a utilização de uma elevada área de substrato. Além disso, a utilização de resistências no trajecto de qualquer sinal é uma fonte de ruído térmico e também de distorção, caso a resistência não seja linear. Torna-se então necessário utilizar uma outra técnica que permita substituir circuitos baseados em valores absolutos por outros que se baseiam em relações entre componentes, isto sim, muito mais favorável na tecnologia CMOS.

2.5.2 Condensadores comutados

A técnica de condensadores comutados baseia-se, essencialmente, na emulação de uma resistência através de circuitos compostos por condensadores e interruptores. Por forma a ilustrar as vantagens desta técnica, considere-se o circuito representado na figura 2.27(b). Esta configuração é denominada resistência equivalente de um condensador comutado em paralelo, sendo que este circuito é equivalente à resistência R do circuito da figura 2.27(a).

O circuito da figura 2.27(b) consiste em duas fontes de tensão independentes, $v_1(t)$ e $v_2(t)$, dois interruptores controláveis, S_1 e S_2 , e um condensador C . Os interruptores são controlados pelos sinais ϕ_1 e ϕ_2 , de período T , ilustrados na figura 2.28. Quando cada um destes sinais tem o valor '1', o respectivo interruptor está fechado. Devido a os sinais ϕ_1 e ϕ_2 nunca terem simultaneamente o valor '1', este tipo de

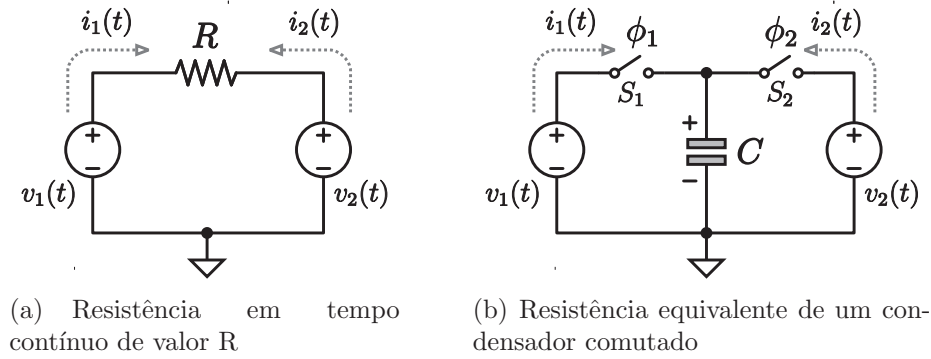


Figura 2.27 – A técnica de condensadores comutados.

sinais são denominados de fases de relógio não sobrepostas¹¹.

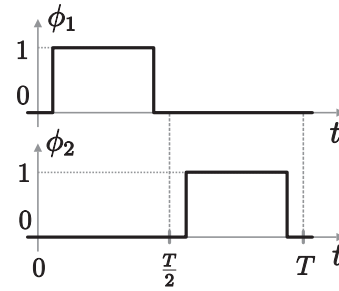


Figura 2.28 – Formas de onda típicas de um esquema de comutação de duas fases.

Se se assumir que os sinais $v_1(t)$ e $v_2(t)$ são constantes¹² ao longo do período T , a corrente média que flui no condensador C é [33]:

$$i_{1,\text{media}} = \frac{C (V_1 - V_2)}{T} \quad (2.48)$$

No caso do circuito representado na figura 2.27(a), a corrente que flui na resistência R é facilmente determinada:

$$i_{1,\text{media}} = \frac{V_1 - V_2}{R} \quad (2.49)$$

de onde, igualando as equações (2.48) e (2.49), se obtém o resultado desejado:

$$R = \frac{T}{C} \quad (2.50)$$

¹¹Na literatura anglo-saxónica denomina-se por *nonoverlapping clock*.

¹²Considera-se que a frequência de ambos é bastante inferior à frequência de comutação.

O resultado da equação (2.50) mostra que o circuito da figura 2.27(b) é equivalente a uma resistência, se as variações de $v_1(t)$ e $v_2(t)$ puderem ser desprezadas durante o período T . Deve, no entanto, ser notado que o circuito da figura 2.27(b) é uma rede de três terminais que emula uma resistência entre dois terminais não ligados à terra.

Esta técnica de substituição de resistências por condensadores e interruptores tornou-se bastante popular na implementação de funções analógicas em tecnologia CMOS. Uma das mais importantes razões para o sucesso desta técnica reside no facto de que a precisão da função analógica é proporcional à precisão da relação entre condensadores. De facto, conseguem-se obter facilmente relações entre condensadores na ordem dos 0,1%. Outras vantagens, bem como desvantagens, associadas a esta técnica estão resumidas na tabela 2.4.

Tabela 2.4 – Principais vantagens e desvantagens da técnica de condensadores comutados.

Vantagens	Desvantagens
Compatível com tecnologia CMOS	Injecção de ruído devido à comutação
Boa precisão das constantes de tempo	Requer esquema de comutação com fases não sobrepostas
Boa linearidade	Largura de banda dos sinais limitada
Bom comportamento com variações de temperatura	
Área ocupada <i>versus</i> resistência equivalente (até 40 vezes menor)	
Não necessita de ampop's com estágio de saída de baixa impedância	

2.5.3 Integrador em tempo discreto

A arquitectura típica de um integrador utilizando técnicas de condensadores comutados, doravante designado por integrador SC (*switched-capacitor*), está ilustrado na figura 2.29, onde ϕ_1 e ϕ_2 são impulsos não sobrepostos de um sinal de relógio. A tensão V_{FB} é a tensão realimentada proveniente do conversor D/A de 1 bit da malha do modulador.

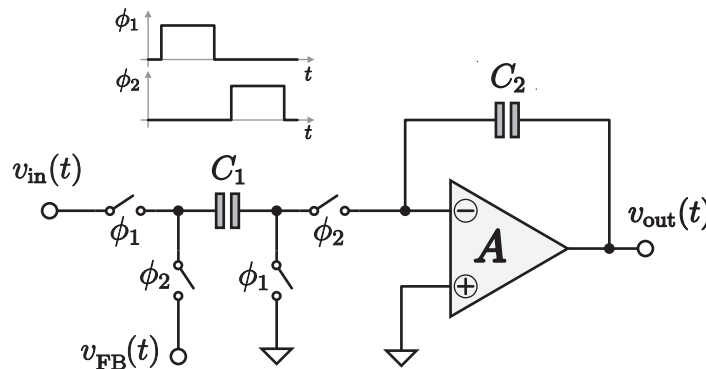


Figura 2.29 – Integrador com condensadores comutados.

Durante a fase ϕ_1 do sinal de relógio, a tensão aplicada à entrada é amostrada pelo condensador C_1 (fase de amostragem) que armazena a carga:

$$\Delta q_1 = C_1 v_{in} \quad (2.51)$$

Durante fase ϕ_2 , a diferença existente entre as entradas não inversora e inversora é amplificada e realimentada através do condensador C_2 (fase de integração). Esta situação força a entrada inversora a voltar a terra, assumindo um ganho infinito do amplificador. No entanto, o ganho A do amplificador é finito, o que faz com que a diferença entre as suas entradas não seja nula, mas sim de uma pequena tensão residual. Considerando esta tensão residual, a carga transferida para o condensador C_2 é, aproximadamente:

$$\Delta q_2 = C_1 (v_{in} - v_{FB}) - \frac{1}{A} C_1 (v_{in} - v_{FB}) = C_1 (v_{in} - v_{FB}) \left(1 - \frac{1}{A}\right) \quad (2.52)$$

Esta transferência de carga provoca uma variação da tensão de saída V_{out} de:

$$\Delta v_{\text{out}} = \frac{\Delta q_2}{C_2} = \frac{C_1}{C_2} (v_{\text{in}} - v_{\text{FB}}) \left(1 - \frac{1}{A}\right) \quad (2.53)$$

Como as expressões (2.51), (2.52) e (2.53) mostram, o sinal representado por uma tensão, que por sua vez corresponde a uma carga eléctrica armazenada num condensador, é adicionado à carga no condensador de integração C_2 . No entanto, e devido ao ganho finito do amplificador, existe uma perda de aproximadamente $1/A$ no valor integrado após cada ciclo de relógio. Deste modo, a saída do integrador no instante $k + 1$ do período de amostragem T_s é:

$$v_{\text{out}}(k + 1) = \left(1 - \frac{1}{A}\right) v_{\text{out}}(k) + \frac{C_1}{C_2} [(v_{\text{in}}(k) - v_{\text{FB}}(k))] \quad (2.54)$$

Desta última expressão torna-se evidente que a relação de condensadores C_1/C_2 permite escalonar a entrada, que neste caso é a diferença entre a tensão de entrada V_{in} e o sinal realimentado V_{FB} . Aplicando a transformada z , a função de transferência do integrador resulta em:

$$H(z) = \frac{v_{\text{out}}(z)}{v_{\text{in}}(z) - v_{\text{FB}}(z)} = \frac{C_1}{C_2} \frac{z^{-1}}{1 - (1 - \frac{1}{A}) z^{-1}} = g_0 \frac{z^{-1}}{1 - P_0 z^{-1}} \quad (2.55)$$

onde g_0 representa o ganho do integrador e P_0 é um coeficiente que traduz as perdas do integrador. Desprezando as perdas, a função de transferência obtida em (2.55) corresponde à função de transferência genérica do integrador discutido na secção 2.3.1.

Limitações do integrador discreto

O desempenho do integrador SC é limitado pela sua velocidade de operação, ruído electrónico, perdas e *jitter*. De seguida abordam-se estas limitações e as suas consequências no desempenho de um modulador $\Delta\Sigma$.

Velocidade de operação finita

Por forma a integrar o sinal de entrada, o condensador de integração colocado na ramo de realimentação do amplificador operacional tem de ser carregado. A carga

deste condensador é no entanto limitada por dois factores: a característica exponencial da corrente de carga e o valor finito ou limitado da taxa de variação da tensão de saída (*slew-rate*). No primeiro caso, e supondo que não existe limitação de *slew-rate*, o processo de atingir o valor final é linear. Isto significa que a tensão aos terminais do condensador de integração varia sob a forma de uma exponencial e, teoricamente, o estabelecimento é incompleto. Pode-se, no entanto, considerar um determinado número de constantes de tempo após as quais se considera o condensador totalmente carregado. O tempo disponível para a carga completa do condensador é neste caso metade do período de amostragem, visto que uma metade é utilizada na amostragem e a outra na integração. Isto, obviamente, sugere que a largura de banda para ganho unitário do amplificador operacional deve ser da mesma ordem de grandeza que a frequência de amostragem. No entanto, e desde que o processo de estabelecimento seja linear, mostra-se que o desempenho de um modulador $\Delta\Sigma$ não é prejudicado quando se utilizam amplificadores com uma largura de banda menor [25].

No entanto, caso ocorra na entrada uma variação abrupta, a resposta do integrador pode ser limitada na variação da sua tensão de saída. Isto deve-se sobretudo à incapacidade do amplificador operacional em fornecer a corrente necessária à carga do condensador, quando a sua entrada sofre uma variação do tipo degrau. Esta taxa de variação (*slew-rate*) é a máxima inclinação da tensão de saída, $dv_{\text{out}}(t)/dt$ (V s^{-1}), obtida quando a entrada é um degrau.

Tendo em consideração estes aspectos, pode-se então dizer que existem duas formas de garantir que o estabelecimento final do integrador não compromete o desempenho global do modulador. A primeira é garantir um elevado valor de *slew-rate*, de modo a que o integrador atinja o seu valor final de um modo linear. Isto significa que o período de amostragem pode ir até duas a quatro constantes de tempo, o que também resulta num estabelecimento incompleto. No entanto, representará apenas uma variação de ganho. A segunda possibilidade consiste em permitir um baixo valor de *slew-rate* e garantir um substancial número de constantes de tempo, para que se atinja o estabelecimento final dentro da margem de precisão necessária.

Ruído electrónico

As fontes de ruído electrónico dominantes num integrador SC são o ruído térmico, ruído $1/f$ e ruído injectado pelos interruptores MOS.

O ruído térmico é causado pela agitação térmica dos portadores de carga e está uniformemente distribuído por toda a gama de frequências. A densidade espectral do ruído térmico numa resistência R pode ser descrito pelo valor médio quadrático da corrente de ruído i_n , ou seja:

$$\overline{i_n^2} / \Delta f = 4kT \frac{1}{R} \quad (2.56)$$

onde k é a constante de Boltzmann, Δf é a largura de banda considerada para a quantificação do ruído, e T é a temperatura absoluta. Considerando que o canal de um transistor MOS em saturação pode ser representado por uma resistência de valor $R_{ON} = 2/(3g_m)$, o seu ruído térmico é:

$$\overline{i_n^2} / \Delta f = 4kT \frac{3g_m}{2} \quad (2.57)$$

ou, alternativamente, em função da tensão de ruído:

$$\overline{v_n^2} / \Delta f = \overline{(i_n/g_m)^2} / \Delta f = 4kT \frac{2}{3g_m} \quad (2.58)$$

O ruído *flicker* tem a sua origem na zona entre o canal induzido de um MOSFET e o óxido de silício que separa a porta do canal. Este ruído diminui com o aumento da frequência, e a sua densidade espectral é do tipo $1/f$, daí a razão do seu nome. A densidade espectral deste ruído é dada por:

$$\overline{v_n^2} / \Delta f = \frac{K_F}{C_{ox} W L} \frac{1}{f} \quad (2.59)$$

onde C_{ox} é a capacidade da porta por unidade de área, W e L são as dimensões do transistor, e K_F é uma constante que traduz o efeito de *flicker*, tipicamente $3 \times 10^{-28} \text{ V}^2\text{F}$.

O ruído térmico gerado pela resistência não nula dos interruptores num integrador SC é, no entanto, o grande factor limitativo da gama dinâmica que pode ser

obtida num modulador $\Delta\Sigma$. A componente de ruído contida na banda de interesse é proporcional a um factor:

$$\frac{kT}{MC} \quad (2.60)$$

onde C é o condensador de amostragem, k é a constante de Boltzmann, T a temperatura absoluta. O nível deste ruído determina o menor valor do condensador, que deverá ser grande suficiente para limitar em banda este ruído.

2.5.4 Filtragem digital e decimação

A saída do modulador $\Delta\Sigma$ representa o sinal analógico de entrada, juntamente com o ruído de quantificação do modulador, bem como todo e quaisquer ruído e interferências que possam ter sido induzidas pelos circuitos analógicos.

Esta sequência de baixa resolução que ocorre à frequência de amostragem, deve então ser filtrada de modo a remover todas as componentes fora da banda de interesse e, assim, poder ser re-amostrada para a frequência de Nyquist sem prejuízo da relação sinal-ruído devido a sobreposição espectral.

O resultado destas operações é uma sequência de N bits de resolução que ocorre à frequência de Nyquist do sinal analógico $x(t)$, conforme ilustrado na figura 2.30.

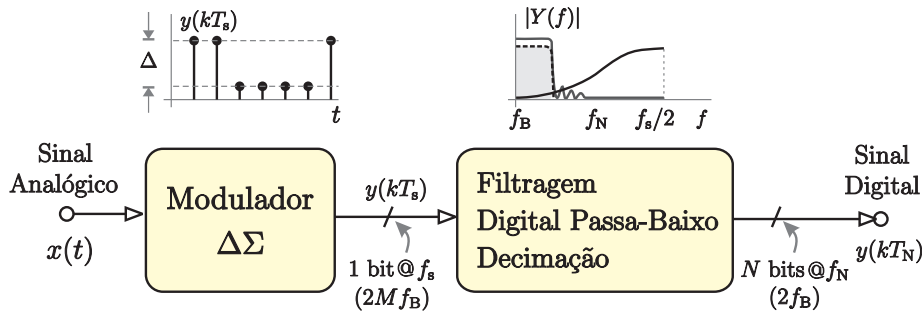


Figura 2.30 – Filtragem digital e conversão de taxa num conversor A/D $\Delta\Sigma$.

O processamento digital de sinal efectuado sobre a saída do modulador pode então ser entendido de duas formas: filtragem digital passa-baixo e redução de taxa de amostragem, embora ambas possam ser efectuadas ao mesmo tempo. Nos conversores $\Delta\Sigma$, o processo de redução de taxa de amostragem é denominado decimação¹³ e consiste essencialmente em rejeitar $M - 1$ amostras consecutivas de um conjunto de M amostras, onde M representa a taxa de conversão ou, neste caso, taxa de decimação.

¹³Num conversor D/A, o processo oposto é denominado interpolação.

Princípios básicos de filtragem digital

Genericamente, o processo de decimação no domínio digital pode ser entendido como uma operação linear de filtragem, como ilustrado na figura 2.31.

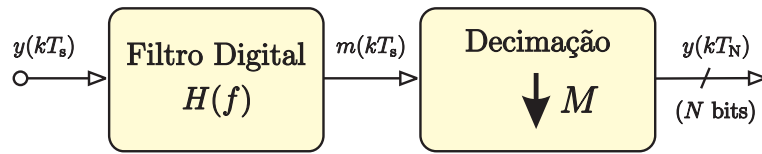


Figura 2.31 – Operação de filtragem e decimação por uma taxa M .

O sinal discreto à entrada do filtro digital, $y(kT_s)$, é caracterizado pela sua frequência de amostragem f_s , enquanto que o sinal à saída do bloco de decimação, $y(kT_N)$, pela frequência de Nyquist f_s/M , onde M é a taxa de sobreamostragem.

O espectro de $y(kT_s)$, $Y(f)$, é considerado não nulo no intervalo de frequência $|f| \leq f_s/2$. Para evitar sobreposição espectral, o sinal $y(kT_s)$ deve ser filtrado de modo a que a sua largura de banda seja reduzida à sua banda de interesse, ou seja, $f_{\max} = f_B = f_s/2M$. Deste modo, o sinal limitado em frequência $m(kT_s)$ pode ser decimado simplesmente rejeitando $M - 1$ de cada M amostras para produzir a saída $y(kT_N)$, sem que haja prejuízo da sua relação sinal-ruído devido à sobreposição espectral inerente à redução de taxa.

O filtro digital passa-baixo é caracterizado pela sua resposta impulsional $h(k)$ e pela sua resposta em frequência $H(f)$, que, idealmente, satisfaz a condição:

$$H(f) = \begin{cases} 1 & |f| \leq f_B \\ 0 & f_B < |f| < f_s/2 \end{cases}$$

Deste modo, o filtro elimina o espectro de $Y(f)$ na gama $f_B < f < f_s/2$, ou seja, deixa passar apenas as componentes de interesse de $y(kT_s)$, rejeitando as componentes de ruído que foram “empurradas” para a zona de frequências superiores a f_N pelo modulador $\Delta\Sigma$.

Na prática, o filtro digital, enquanto especificado à frequência de amostragem f_s , é implementado à frequência de Nyquist, $f_N = f_s/M$. Isto é ilustrado pela relação:

$$y(kT_N) = m(kMT_s) = \sum_{k=0}^{\infty} h(k) y(kMT_s - k) \quad (2.61)$$

ou seja, apenas uma de cada M amostras de $y(kT_s)$ necessita de ser convoluída com a resposta impulsional $h(k)$ do filtro digital.

Filtros digitais decimadores

Filtros digitais bastante simples são suficientes para remover o ruído de quantificação individualmente, dado que este cresce lentamente. No entanto, filtros de transição abrupta são normalmente necessários para remover componentes fora da banda de interesse referidas à entrada, como por exemplo ruído térmico e outras fontes. Tais filtros podem ser bastante complexos e dispendiosos em termos energéticos e de área de *layout* ocupada. Na prática, o filtro digital decimador é usualmente implementado em dois estágios em cascata.

O primeiro, funciona como decimador cuja saída é até quatro vezes a taxa de Nyquist, destinando-se essencialmente a remover a componente do ruído de quantificação, que é dominante a altas frequências. O filtro final, normalmente um filtro do tipo FIR (*Finite Impulsional Response*) devido às suas características de fase linear, define a taxa de amostragem final e as características da banda de rejeição [31].

Mostra-se [34] que um filtro do tipo *sinc* é uma estrutura eficiente para decimar a saída de um modulador $\Delta\Sigma$ até quatro vezes a frequência de Nyquist. Este filtro executa uma média deslizante de D amostras da sequência de entrada $y(kT_s)$, onde D é a taxa de decimação do filtro. O módulo da resposta em frequência do filtro é descrita pela expressão (2.62) e a sua transformada z por (2.63), onde k é a ordem do filtro e $T_s = 1/f_s$ o período da sequência de entrada [35].

$$|D(f)| = \left| \left(\frac{\sin \pi f D T_s}{D \sin \pi f T_s} \right) \right|^k \quad (2.62)$$

$$D(z) = \left(\frac{1}{D} \frac{1 - z^{-D}}{1 - z^{-1}} \right)^k \quad (2.63)$$

Para um modulador $\Delta\Sigma$ de ordem L , é necessário um filtro de ordem $k = L + 1$ para atenuar adequadamente o ruído de quantificação que se poderia sobrepor à

banda de interesse [34]. Na figura 2.32 ilustra-se a resposta em frequência de filtros do tipo sinc , sinc^2 e sinc^3 , onde f_D é a frequência da sequência de saída do filtro, tipicamente quatro vezes a frequência de Nyquist do sinal à entrada do modulador.

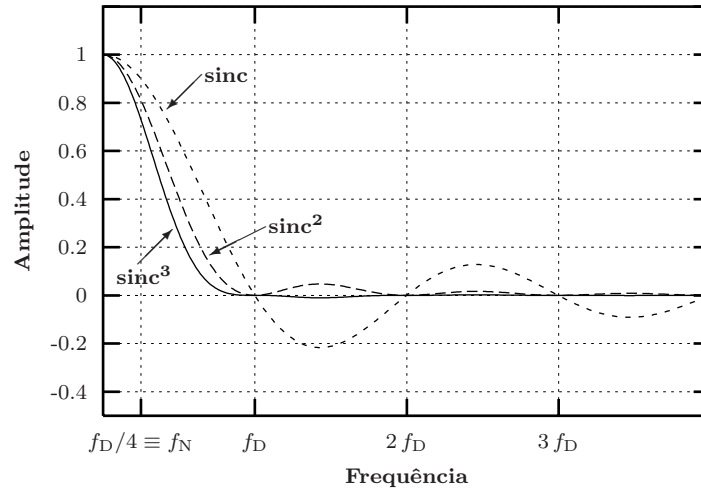


Figura 2.32 – Resposta em frequência de filtros do tipo sinc , sinc^2 e sinc^3 .

Este filtro é bastante simples de implementar, dado que não requer operações de multiplicação. A grande vantagem é ter nulos nos múltiplos da frequência de amostragem, o que proporciona a remoção de componentes que de outro modo se poderiam sobrepor na banda de interesse com a operação de decimação. Eventualmente, a ordem do filtro pode ser a mesma que a do modulador, para simplificar a implementação, penalizando, no entanto, a relação sinal-ruído do conjunto.

2.6 Conversor $\Delta\Sigma$ de segunda ordem

As características dos próprios processos agrícolas, bem como das grandezas de interesse a eles associadas, indicam que os sinais que a interface tem de lidar raramente excedem algumas dezenas de Hertz. Este tipo de características fazem com que uma topologia de segunda ordem, pela sua simplicidade e robustez, seja bastante adequada para interface a sensores [31, 32].

Um desempenho equivalente a 16 bits (gama dinâmica de aproximadamente de 98 dB), pode ser obtido por um modulador de segunda ordem com uma taxa de sobreamostragem $M = 153$. Para sinais de entrada limitados a 500 Hz, a frequência de amostragem é de 153 KHz, que é um valor relativamente baixo. No entanto, este valor teórico pressupõe que o desempenho é apenas limitado pelo ruído introduzido pelo quantificador de 1 bit. De modo a permitir uma margem de segurança para acomodar outras não-idealidades, bem como manter uma taxa de sobreamostragem como uma potência de 2, para simplificar o processamento digital posterior, a taxa de sobreamostragem é escolhida como $M = 256$. Pelo facto de o modulador ser objecto deste trabalho, a sua implementação é apresentada em mais detalhe no capítulo 4, pelo que o que se segue é apenas uma descrição conceptual.

A figura 2.33 ilustra uma possível implementação de um modulador $\Delta\Sigma$ de segunda ordem, no qual é utilizada uma configuração totalmente diferencial. Esta configuração, embora aumente a complexidade do desenho, o que se traduz de igual modo numa maior área ocupada, proporciona a grande vantagem de eliminação de componentes de ruído que surgem como tensões em modo comum, aumentando deste modo a relação sinal-ruído final. Além disso, e devido à inversão de fase nas saídas de um amplificador operacional totalmente diferencial, a excursão máxima da tensão de saída duplica, quando comparada com um amplificador de saída simples para uma mesma excursão de tensão. Outro aspecto importante é a redução de harmónicos de ordem par à saída do amplificador. Num amplificador totalmente diferencial, os termos de ordem ímpar mantêm a sua polaridade, enquanto que os de ordem par serão sempre positivos. Quando se considera a diferença, os termos de ordem par cancelam-se. No entanto, e apesar da utilização de um configuração

diferencial, é também necessário que a sua implementação seja o mais simétrica possível, por forma a maximizar o grau de rejeição de tensões em modo comum.

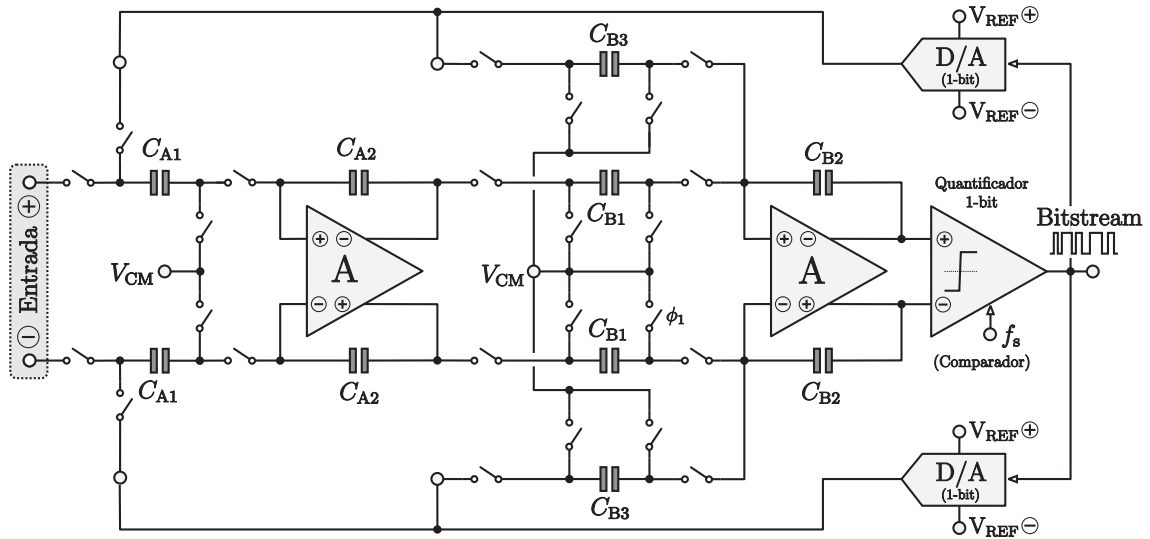


Figura 2.33 – Implementação diferencial de um modulador $\Delta\Sigma$ de segunda ordem.

Como referido anteriormente, para se obter o resultado de uma conversão A/D à frequência de Nyquist e na resolução final, é necessário executar algum processamento digital de sinal sobre a sequência de saída do modulador. Este processamento consiste na filtragem digital e decimação e destina-se a retirar o ruído de alta frequência e converter a taxa de amostragem para a taxa de Nyquist. Por questões de avaliação do desempenho do modulador, optou-se por transferir a saída *bitstream* para um computador, onde será executada a filtragem e decimação recorrendo ao ambiente MATLAB. No entanto, a decimação será também efectuada no próprio circuito através de um filtro decimador de primeira ordem. Este filtro é essencialmente composto por um contador, que realiza uma filtragem de média, cujo propósito é permitir a avaliação do subsistema de comunicações.



Transmissão de Dados Sem Fios

Existe actualmente uma enorme tendência para a miniaturização de sensores e correspondente integração com electrónica para condicionamento e processamento de sinal. Estes microssistemas combinados com um suporte de comunicações sem fios tornaram possível a monitorização de parâmetros que de outra forma seria inviável. Dispositivos deste género têm a capacidade de obter mais informação num maior número de locais, bem como em locais de difícil acesso. Na era dos dispositivos sem fios, também as aplicações agrícolas são exemplos que beneficiam deste tipo de microssistema dotado de comunicações sem fios.

Um dos conceitos que se vulgarizou nos últimos anos é o denominado SoC (*System On-a-Chip*). Embora o conceito seja uma termo bastante genérico, consiste essencialmente na execução de várias funções no mesmo circuito integrado. As vantagens de um sistema completo num único circuito integrado são inúmeras e incluem tamanho reduzido, baixo custo, baixo consumo, robustez e elevada fiabilidade, quando comparado com sistemas discretos que utilizam vários circuitos integrados para desempenhar as mesmas funções.

Neste capítulo são abordados os vários sistemas necessários à realização de um emissor de rádio-frequência (RF). Tendo em conta a sua aplicação à monitorização de parâmetros ambientais na agricultura, inicia-se o capítulo com uma abordagem

genérica de sistemas de monitorização remota, apresentando-se as suas vantagens utilizando um suporte de comunicações sem-fios. Seguidamente, apresentam-se as vantagens da interligação de vários elementos de medida numa arquitectura de rede, o que possibilita a aquisição distribuída de dados. Na secção 3.3 apresenta-se o conceito de sensor remoto, destacando-se a secção relativa ao emissor RF. Sendo o principal componente de um emissor RF o seu amplificador de potência, abordam-se ao longo das secções 3.4–3.7 os diversos conceitos associados, bem como as diversas topologias existentes para a sua implementação, finalizando-se, na secção 3.8, com um resumo comparativo. De seguida, abordam-se as técnicas de modulação digital, caracterizando-as em termos de desempenho e eficiência de utilização de um canal de comunicações. Na secção 3.10 apresentam-se os motivos que levaram à selecção de uma determinada topologia de amplificador de potência, terminando este capítulo com a descrição sumária do emissor de rádio-frequência proposto.

3.1 Sistemas de monitorização remota

Um dos campos aplicativos dos SoC que tem merecido uma grande atenção nos últimos anos é a monitorização remota de grandezas físicas. A monitorização remota envolve a utilização de um transdutor, que mede uma variável de um processo físico, e um circuito integrado, capaz de realizar a aquisição do sinal analógico para o domínio digital. No mesmo circuito, e antes de o resultado ser transmitido para um sistema de gestão local ou central, podem ser executadas outras funções, como por exemplo a filtragem e a codificação.

Por forma a ilustrar as vantagens da monitorização remota, considere-se o sistema de medição ilustrado na figura 3.1. O transdutor, ou sensor, converte um parâmetro físico num sinal analógico que é então amplificado e transmitido através de um sistema de cablagem para um sistema de medição e/ou gestão. As principais desvantagens deste tipo de sistemas residem na reduzida imunidade ao ruído e perdas ao longo da cablagem utilizada, que se traduzem num valor reduzido da relação sinal/ruído, bem como a consequente alteração de amplitude do sinal de informação e custo da cablagem. Para grandes distâncias e múltiplos elementos sensores, esta

solução, embora praticada no passado, é actualmente desadequada.

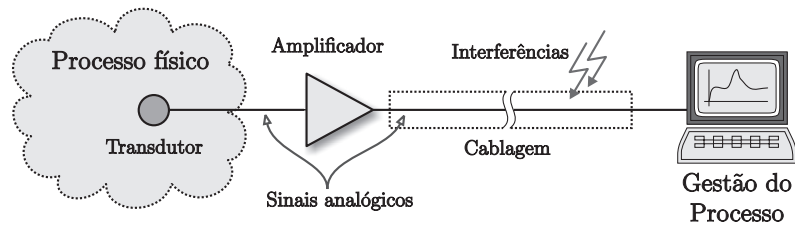


Figura 3.1 – Sistema de medição com transmissão analógica.

Considere-se agora o caso representado na figura 3.2. A grande diferença relativamente ao caso anterior é que agora o sinal é processado localmente e a transmissão é feita no domínio digital. A transmissão digital é caracterizada por uma relativamente alta imunidade ao ruído por permitir a utilização de esquemas digitais de partilha da mesma cablagem por múltiplos elementos, como é disso exemplo uma ligação em barramento de vários nós de medição.

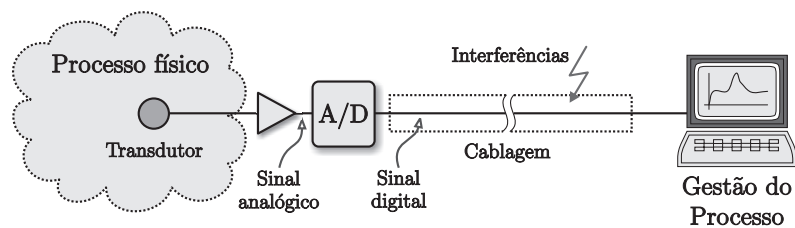


Figura 3.2 – Sistema de monitorização com transmissão digital.

A utilização de um sistema de processamento local, junto ao parâmetro a ser medido, permite, além da conversão do sinal para o domínio digital, efectuar outras funções de processamento. O conjunto formado pelo elemento sensor e pelo sistema de processamento local, baseado num SoC, é muitas vezes designado por sensor inteligente ou, na literatura anglo-saxónica, por *smart-sensor*. As vantagens inerentes aos sensores inteligentes, nomeadamente a sua capacidade de processamento e de decisão, levam à utilização de um número cada vez maior deste tipo de dispositivos [36], como forma de executar localmente algumas funções que anteriormente eram executadas de um modo centralizado.

Embora muitas das soluções de monitorização remota que se apoiam na utilização de sensores inteligentes usem algum tipo de cablagem na transferência de

informação, este é o factor mais limitativo no que se refere à flexibilidade da solução, principalmente quando se pretende alterar a localização geográfica dos elementos de medida.

A inclusão de um suporte de transmissão de dados sem fios, por rádio-frequência¹, num sensor inteligente permite obviar estes problemas e possibilita a expansão da rede sensorial sem alterações profundas nas estruturas e sistemas existentes. Além disso, a não utilização de cablagem permite ainda uma flexibilidade acrescida do sistema de medição, assim como minimizar interferências no processo agrícola produtivo. Este último aspecto é de especial interesse pois as tarefas de preparação de solo, plantação e colheita interferem tradicionalmente com os sistemas de medição e vice-versa. Na figura 3.3 ilustra-se este conceito, onde o bloco de interface sem fios representa um sistema onde estão incluídas as funções de conversão A/D, processamento digital de sinal e de emissão por rádio-frequência.

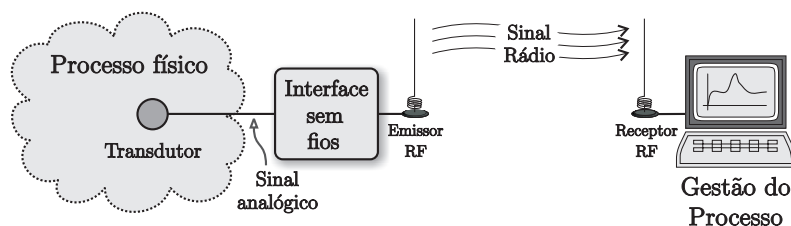


Figura 3.3 – Monitorização remota sem fios.

3.2 Aquisição distribuída de dados sem fios

O desenvolvimento de soluções de aquisição e de controlo distribuídos pode ser genericamente encarado como uma estratégia de libertar um sistema central de inúmeras tarefas que, devido à sua área de influência e importância, possam ser delegadas em subsistemas localizados na proximidade da acção a controlar.

As soluções de aquisição de dados, quando combinadas com um suporte de transmissão de dados por RF, e implementadas num único circuito integrado, permitem

¹Por opção, não é referido neste documento a transmissão de dados por infravermelhos ou por qualquer outro tipo de radiação, dadas as suas naturais limitações, nomeadamente o seu reduzido alcance, susceptibilidade a interferências e necessidade de alguma direcionalidade entre emissor e receptor.

a criação de infraestruturas distribuídas para a implementação de redes de sensores sem fios². O conceito de rede de informação associado à ausência de cablagem permite desde já apontar duas grandes vantagens face aos sistemas tradicionais. Por um lado, torna-se possível a monitorização de parâmetros em locais que sejam limitativos à utilização de cablagem. Por outro lado, torna-se também possível uma rápida expansão da rede sem que isso afecte os restantes elementos ou signifique mesmo a interrupção do seu funcionamento, pelo que este processo de modificação da estrutura da rede pode, inclusive, ser realizado dinamicamente.

Existem actualmente diversas filosofias associadas a redes de sensores sem fios, cujas diferenças residem essencialmente na arquitectura do sensor e no protocolo utilizado nas suas ligações em rede. Destas destacam-se os projectos *WINS* (*Wireless Integrated Network Sensors*) da UCLA/Rockwell Science Center [36], o *Multisensor Microcluster* da Universidade de Michigan [37], o *PicoRadio* e o *SmartDust*, ambos da Universidade de Berkeley [38][39].

Tal como referido anteriormente, uma das características desejadas de um sistema do tipo *SoC* é o seu baixo consumo. Isto possibilita que o conjunto sensor/SoC possa ser alimentado por uma fonte de energia de reduzida potência, como por exemplo uma pilha ou um conjunto painel solar/bateria recarregável, consoante o local de utilização.

Dado que o alcance de uma emissão RF depende da potência emitida, cada um dos sensores remotos transmite a sua informação para um sistema de gestão local localizado na sua proximidade. Na figura 3.4 ilustra-se o conceito de uma rede distribuída de aquisição aplicada a um processo agrícola em campo aberto.

Neste exemplo, os vários sensores remotos efectuem as respectivas funções de aquisição e enviam o resultado para uma unidade de gestão local, através de uma ligação RF de curto alcance. Esta unidade, designada por UGL (Unidade de Gestão Local), é responsável por várias funções, que podem ser repartidas em duas categorias. A primeira relaciona-se com o tratamento de toda a informação recebida, enquanto que na segunda englobam-se todas as funções necessárias ao funcionamento em rede de todas as UGL, permitindo uma acção distribuída por parte do sistema

²Designado na literatura anglo-saxónica por *Wireless Sensor Network*.

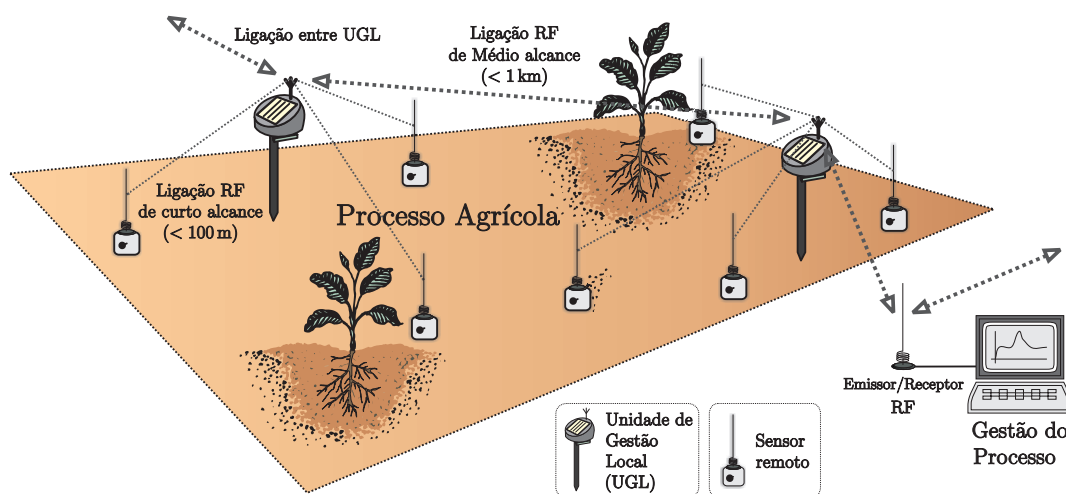


Figura 3.4 – Ilustração do conceito de aquisição remota distribuída.

central ou gestor do processo. De referir ainda que, neste cenário exemplificativo, as UGL ilustradas podem ser alimentadas por um conjunto painel solar/bateria recarregável, ou, caso a aplicação o permita, por outra fonte de energia.

3.3 Arquitectura de um sensor remoto

Pode-se numa primeira fase entender o sensor remoto como um elemento de medida que está distante do local onde a sua informação é processada para gerar algum tipo de acção.

A figura 3.5 ilustra o conceito de sensor remoto. O sinal analógico proveniente de um elemento sensor é de alguma forma condicionado para que possa ser aplicado a um conversor A/D. O sinal digital resultante sofre algum tipo de processamento digital e o resultado, que traduz a variável medida, está agora disponível para ser transmitido, neste caso particular por rádio-frequência, para um sistema de gestão.

O bloco de RF é responsável por modular o sinal digital para uma frequência bastante superior à da sua banda-base por forma a poder ser transmitido através de uma antena. Se os sinais provenientes de vários sensores são modulados em várias frequências, estes podem ser transmitidos concorrentemente no mesmo canal, sem que isso cause uma interferência significativa entre eles. Neste sentido, o bloco de RF pode e deve otimizar a capacidade do canal, quando são transmitidos sinais

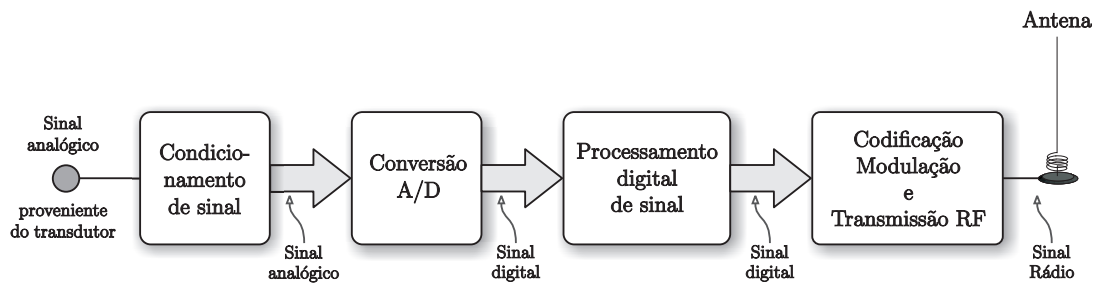


Figura 3.5 – Diagrama de blocos de um sensor remoto genérico.

modulados em frequências distintas.

Na figura 3.6 ilustra-se o diagrama de blocos de um emissor RF genérico. O sinal na banda-base é modulado por uma frequência gerada por um oscilador local. Esta operação é genericamente realizada por um misturador cuja saída contém, além de outros termos, o produto das duas frequências. O sinal resultante é então amplificado por forma a que o seu nível de potência seja adequado ao alcance desejado para a transmissão.

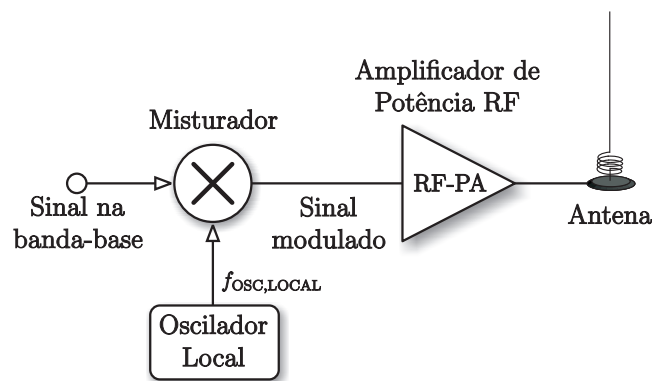


Figura 3.6 – Diagrama de blocos de um emissor RF genérico.

O método tradicional de gerar a frequência de oscilação local consiste na utilização de uma malha de fase presa (*Phase-Locked Loop* - PLL) como elemento sintetizador da frequência da portadora. Deste modo, dispondo de uma frequência de referência de precisão é possível obter a frequência RF desejada através da sua multiplicação por um determinado valor.

A aplicação tradicional de amplificadores de potência RF (RF-PA) é a emissão de rádio de elevada potência no sentido de serem obtidos elevados alcances. No entanto, o uso de emissores de elevada potência é de alguma forma incompatível com o conceito de sensor remoto. Isto deve-se sobretudo a que estas pequenas unidades de medida dispõem na grande maioria dos casos de uma forma limitada de energia o que normalmente limita a distância permitida entre emissor e receptor.

Relativamente à questão do consumo de energia dos sistemas de transmissão de dados por RF, o componente mais exigente é de facto o RF-PA. A inclusão de um suporte RF num sensor inteligente exige, deste modo, que sejam analisadas as diversas topologias de amplificadores RF existentes, por forma a que seja seleccionada aquela que opere de um modo mais eficiente. Por forma a poderem ser analisadas as diversas topologias, apresentam-se de seguida alguns conceitos importantes relativos aos amplificadores de potência RF e à definição de alguns dos seus parâmetros.

3.4 Conceitos de amplificação de potência

Num sistema de transmissão sem fios ou, mais concretamente, numa interface sensorial com transmissão por rádio-frequência, o último estágio antes da antena é o amplificador de potência. O termo amplificador de potência, que neste contexto está associado a sinais de rádio-frequência, está relacionado com o facto de que o amplificador é responsável por fornecer um determinado valor de potência a uma carga, ou seja, à antena.

O termo amplificação é, por definição, bastante abstracto. Consoante o tipo de sinais envolvidos, um amplificador pode ser caracterizado de várias formas. Quando o sinal a amplificar é de baixa frequência, é vulgar referir-se o ganho em tensão do amplificador. Isto deve-se sobretudo à elevada impedância de entrada que caracteriza este tipo de amplificadores, que se traduz num reduzido efeito de carga. Consequentemente, o valor da potência é também diminuto, pelo que normalmente não se especifica um valor para o ganho em potência.

A amplificação de sinais RF está de certa forma condicionada pelo facto de que a

impedância de entrada dos dispositivos activos é consideravelmente mais baixa. Esta condicionante cria algumas dificuldades em desenvolver um determinado ganho em potência RF, dado que a corrente de entrada do amplificador pode assumir valores consideráveis. Por outro lado, leva também a que vulgarmente não sejam referidos valores de ganhos em tensão, mas sim em potência, o que também se deve ao facto de a grandeza de interesse à saída ser uma potência.

3.4.1 Eficiência e ganho em potência

Um dos parâmetros que caracterizam um amplificador de potência é o seu nível de potência entregue à antena. Para gerar este nível de potência RF, o próprio amplificador dissipa um determinado nível de potência. Pode-se então dizer que o amplificador consome potência à alimentação DC e converte-a numa potência RF disponível à sua saída. A relação entre estas duas potências define a eficiência³ (η):

$$\eta = \frac{P_{\text{out}}}{P_{\text{DC}}} \quad (3.1)$$

Se considerarmos os valores de potência de entrada e de saída, o ganho em potência do amplificador é definido como:

$$G_P = \frac{P_{\text{out}}}{P_{\text{in}}} \quad (3.2)$$

Poderá então afirmar-se que, enquanto a eficiência descreve a conversão de potência DC para RF, o ganho em tensão descreve a amplificação de potência do sinal RF de entrada na potência RF à saída.

Uma medida mais realista da eficiência de um amplificador de potência, que tem também em conta a potência entregue à sua entrada, é a designada na literatura anglo-saxónica por *Power Added Efficiency* (PAE), sendo definida como:

$$\text{PAE} = \frac{P_{\text{out}} - P_{\text{in}}}{P_{\text{DC}}} \quad (3.3)$$

onde P_{in} é a potência do sinal à entrada do amplificador. O valor de PAE pode também ser expresso em função do ganho em potência:

³O parâmetro eficiência é também designado na literatura anglo-saxónica por *Drain Efficiency*, nos casos em que o dispositivo activo é um MOSFET.

$$\text{PAE} = \eta \left(1 - \frac{1}{G_P} \right) \quad (3.4)$$

ou seja, o valor de PAE aproxima-se da eficiência à medida que o ganho em potência é cada vez maior.

3.4.2 Factor de utilização

Uma das formas de quantificar o nível de esforço a que o dispositivo activo de amplificação está sujeito é o denominado factor de utilização⁴. Este factor, que pode ser entendido como outra forma de eficiência, é simplesmente a relação entre a potência de saída e o produto dos valores máximos, ou de pico, da tensão e da corrente no dispositivo activo. Se se considerar que o dispositivo é um MOSFET, então o factor de utilização é determinado por:

$$\text{FU} = \frac{P_{\text{out,max}}}{V_{\text{DS,ON}} i_{\text{D,pico}}} \quad (3.5)$$

Este factor dá uma indicação sobre a utilização, em termos de potência, do dispositivo activo. Quanto menor for o valor de FU, maior o esforço a que está sujeito.

3.5 Classes de operação

Não existe uma única técnica para amplificação de potência, nem sequer uma única arquitectura de transmissão que seja a mais apropriada para todas as aplicações. Muitas das técnicas básicas, existentes há décadas, só agora é que têm vindo a ser utilizadas devido ao avanço tecnológico no fabrico de componentes e circuitos integrados capazes de lidar com sinais RF[40].

Cada aplicação tem os seus próprios requisitos de frequência de operação, largura de banda, tipo de carga, potência a fornecer, eficiência, linearidade e custo. Um sinal RF pode ser gerado por uma variedade de técnicas. As técnicas básicas para

⁴Este termo é designado na literatura anglo-saxónica por *Normalized Power Output Capability* para definir o nível de *stress* a que o dispositivo está sujeito.

a amplificação de potência RF são normalmente agrupadas pela forma como o amplificador opera, pelo que estas técnicas são vulgarmente designadas por classes de operação. Embora existam em número relativamente elevado, além da combinação entre elas por forma a combinar as suas vantagens, as classes de operação básicas são a A, B, C, D, E e F.

Estas classes de operação podem ainda ser divididas em dois grupos pela forma como o dispositivo activo de amplificação trabalha. O grupo constituído pelas classes A, B e C é caracterizado por uma operação linear, enquanto que as classes D, E e F pertencem ao segundo grupo, em que o dispositivo activo funciona em regime de comutação. Um amplificador linear é simplesmente aquele que produz à saída um sinal que supostamente é uma réplica fiel do sinal à entrada. Por outro lado, um amplificador comutado gera à saída um sinal cuja amplitude é, idealmente, independente da amplitude do sinal de entrada. Torna-se deste modo claro que os dois grupos têm, ou podem ter, a sua aplicabilidade em função das características desejadas para a saída, ou seja, dependendo do esquema de modulação empregue, a envolvente do sinal à saída ser variável em função da entrada ou então constante. Os exemplos mais simples e conhecidos que mostram esta distinção encontram-se precisamente na emissão comercial de rádio, cuja portadora pode ser modulada em amplitude (emissão em AM) ou em frequência (emissão em FM).

3.6 Amplificadores RF lineares

Quando um dispositivo de amplificação activo apenas opera nas regiões de saturação e de corte (assumindo que o dispositivo é um MOSFET), o amplificador de potência é designado por amplificador em fonte de corrente, ou, na literatura anglo-saxónica, por *current source amplifier*. Os amplificadores que operam segundo este princípio são os designados pelas classes de operação A, B, AB e C. De seguida apresentam-se algumas considerações relativas aos aspectos comuns a estas classes de operação, descrevendo-se cada uma delas.

3.6.1 Considerações gerais

As classes de operação englobadas no grupo dos amplificadores lineares operam segundo o mesmo princípio, sendo distinguidas essencialmente pela polarização do dispositivo activo. Todas elas podem ser compreendidas e caracterizadas através da análise do modelo simplificado do amplificador representado na figura 3.7.

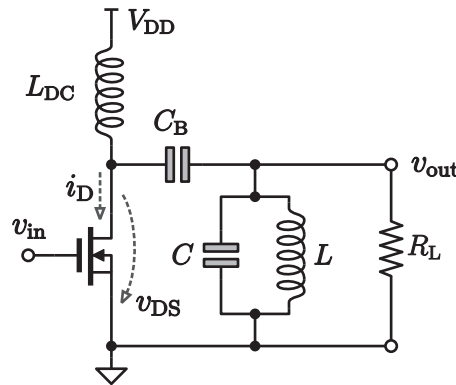


Figura 3.7 – Modelo simplificado de um amplificador de potência linear.

Neste modelo genérico, a resistência R_L representa a carga à qual será fornecida a potência de saída. A corrente de polarização de dreno do MOSFET é fornecida pela alimentação V_{DD} através da indutância L_{DC} . Esta indutância, referida vulgarmente por *RF choke*, e desde que o seu valor seja suficientemente elevado, comporta-se como uma fonte de corrente DC quase ideal. O dreno está ligado a um circuito tanque *LC* através do condensador de bloqueio C_B , por forma a evitar dissipação de potência DC na carga. Uma das vantagens desta configuração em particular é que a capacidade de saída do MOSFET pode ser absorvida pelo circuito tanque. Uma outra, resultante da utilização de um circuito tanque cuja frequência de ressonância é igual à frequência de operação, é a filtragem de componentes fora da sua largura de banda, o que permite eliminar as sempre presentes não-linearidades que causam na grande maioria dos casos distorção harmónica. Se assumirmos que o circuito tanque tem um factor de qualidade Q bastante elevado, então a tensão aos seus terminais, e neste caso na carga, será bastante aproximada a uma sinusóide, mesmo que o circuito esteja a ser alimentado por uma corrente não sinusoidal. Torna-se deste modo claro que este tipo de circuito é apropriado para a amplificação de sinais

de banda estreita, sendo esta proporcional ao factor de qualidade do circuito.

A figura 3.8 ilustra as formas de onda associadas ao amplificador representado na figura 3.7.

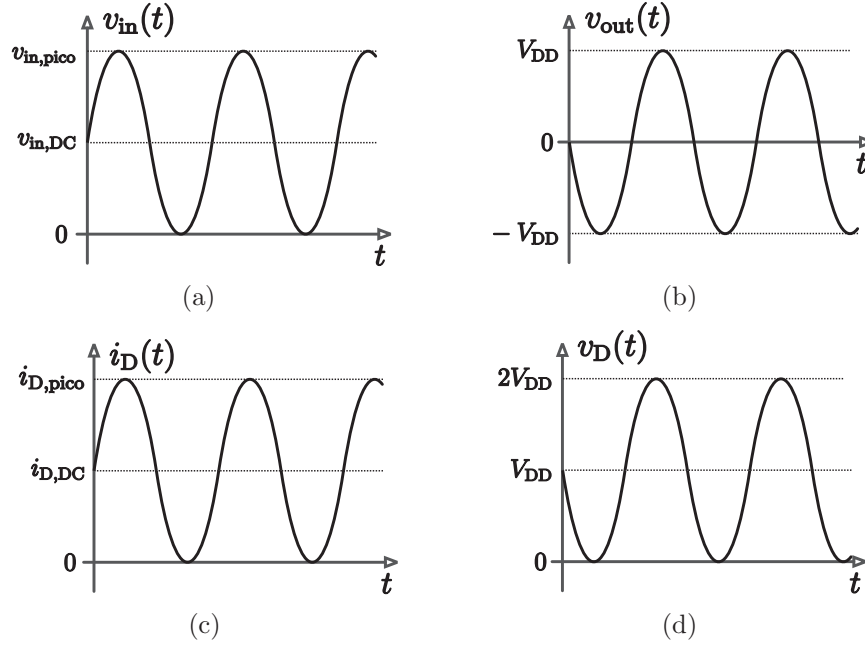


Figura 3.8 – Formas de onda associadas ao amplificador de potência genérico: (a) tensão de entrada, (b) tensão na carga R_L , (c) corrente no dreno do MOSFET e (d) tensão de dreno.

Um dos aspectos que é salientado na figura 3.8 é o facto de o valor médio e de pico da tensão de entrada (3.8(a)) controlar o ângulo de condução do MOSFET. Assumindo uma operação ideal, e desde que a tensão de entrada seja sempre superior a zero, o dispositivo opera na região de saturação, permitindo uma amplificação linear. Caso a tensão de entrada tenha uma amplitude negativa durante uma parte do seu período, então durante esse tempo o dispositivo está ao corte, não circulando corrente de dreno. Pode-se então definir o ângulo de condução θ como:

$$\theta = 2\pi \frac{t_{ON}}{T_{RF}} \quad (\text{rad}) \quad (3.6)$$

onde t_{ON} representa o intervalo de tempo durante o qual o MOSFET conduz e T_{RF} o período do sinal RF à saída. O ângulo de condução pode ser controlado através da variação do valor médio e/ou valor de pico do sinal de entrada. No caso da figura 3.8,

o ângulo de condução é de 2π , pelo que o MOSFET conduz um determinado valor de corrente durante todo o período de operação.

Outro aspecto que merece atenção, observado na figura 3.8(d), é o facto de a tensão de dreno atingir o valor de $2V_{DD}$. Isto deve-se a que a indutância L_{DC} é representada por um curto-circuito em DC e, deste modo, o valor médio da tensão de dreno é igual a V_{DD} . Assim, a tensão de dreno tem a sua excursão simétrica em torno de V_{DD} , pelo que no limite atinge um valor de pico de $2V_{DD}$.

3.6.2 Amplificador de Classe A

Um amplificador a operar em classe A é caracterizado pela condução do dispositivo activo durante todo o período do sinal RF, ou seja, o seu ângulo de condução θ é de 2π rad. Para que tal seja possível, a polarização do dispositivo activo é escolhida de modo a que este opere de um modo linear (ou quase). Se o dispositivo activo for um transistor bipolar, basta que ele opere somente na sua zona activa. No caso de um MOSFET, esta condição é satisfeita mantendo o dispositivo na sua região de saturação durante todo o período de operação. No entanto, para que seja possível a operação em classe A é necessário manter um nível de polarização DC, o que implica uma corrente DC a circular no dispositivo mesmo na ausência de sinal. Inevitavelmente, a manutenção da polarização DC leva a uma constante dissipação de potência no dispositivo, pelo que a eficiência é reduzida⁵.

Considere-se novamente o circuito representado na figura 3.7. Neste circuito, o MOSFET, a funcionar como uma fonte de corrente controlável de valor $g_m v_{in}$, regula a distribuição da corrente proveniente da alimentação, I_{DC} . De modo a que o MOSFET não entre ao corte, é necessário que a corrente I_{DC} seja pelo menos igual ao valor máximo da corrente que flui na carga R_L , ou seja:

$$I_{DC} \geq i_{RF,max} \quad (3.7)$$

⁵No entanto, os amplificadores a operar em classe A continuam a ser os preferidos pelos entusiastas do áudio de alta qualidade (Hi-Fi), dado que esta classe de operação troca eficiência por linearidade, reduzindo a um mínimo a distorção causada no sinal amplificado.

Se o nível da corrente de polarização DC for escolhido, no limite, como sendo metade da excursão máxima da corrente na carga, pode-se determinar o valor máximo da eficiência de um amplificador a operar em classe A. A potência DC é neste caso:

$$P_{DC} = I_{DC}V_{DD} = i_{RF,max}V_{DD} \quad (3.8)$$

e a potência à saída é simplesmente o produto da corrente na carga pela sua resistência, ou seja:

$$P_{out} = \left(\frac{i_{RF,max}}{\sqrt{2}} \right)^2 R_L = \frac{v_{out}^2}{2R_L} \quad (3.9)$$

A eficiência pode então ser calculada como:

$$\eta = \frac{P_{out}}{P_{DC}} = \frac{\left(\frac{i_{RF,max}}{\sqrt{2}} \right)^2 R_L}{i_{RF,max}V_{DD}} \quad (3.10)$$

As formas de onda típicas desta classe de operação são as ilustradas anteriormente na figura 3.8. Como a máxima excursão de tensão à saída é $i_{RF,max}R_L = V_{DD}$, e a tensão média no dreno é $\overline{v_D} = V_{DD}$, então a tensão máxima de dreno vale $2V_{DD}$. Nesta situação, a eficiência máxima que se pode obter num amplificador em classe A ideal é de $1/2$, ou 50 %. No entanto, este valor é o limite máximo, dado que se a excursão de tensão no dreno for inferior, resultante de uma excursão inferior do sinal de entrada, a eficiência será menor.

Se consideramos o valor mínimo de V_{DS} não nulo, variações nas condições de polarização e perdas nos componentes reactivos, a eficiência pode atingir valores substancialmente menores que 50 %, especialmente para baixos valores da tensão de alimentação, onde $V_{DS,ON}$ pode representar uma elevada fracção de V_{DD} . Consequentemente, as implementações práticas desta classe de amplificadores apresentam valores de eficiência que rondam os 30 %.

Um outro aspecto importante na implementação prática de um amplificador de potência são os níveis de corrente e de tensão que o dispositivo deve suportar. No caso da operação em classe A, o dispositivo deve suportar uma tensão de dreno máxima de $2V_{DD}$ e uma corrente de pico de valor $2V_{DD}/R_L$, pelo que o seu factor de

utilização é de apenas:

$$FU = \frac{V_{DD}^2/2R_L}{2V_{DD} 2V_{DD}/R_L} = \frac{1}{8} \quad (3.11)$$

3.6.3 Amplificador de Classe B

O facto de na classe A o dispositivo activo conduzir um determinado valor de corrente durante todo o período de operação leva a que a sua eficiência máxima seja de apenas 50 %. Uma das formas de se obter uma maior eficiência com o mesmo circuito consiste em alterar o nível de polarização de modo a que, durante uma parte do período de operação, o dispositivo não conduza essa corrente, diminuindo a sua dissipação de potência.

Num amplificador a operar em classe B, o nível de polarização é tal que o dispositivo mantém-se ao corte durante metade do período de operação, ou seja, $\theta = \pi$ rad. As formas de onda típicas desta classe de operação estão ilustradas na figura 3.9.

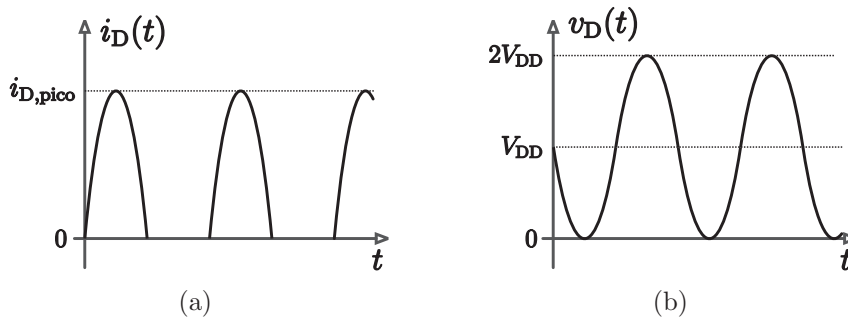


Figura 3.9 – Formas de onda típicas associadas à classe de operação B: (a) corrente de dreno, (b) tensão de dreno.

Embora o circuito seja exactamente o mesmo que o representado na figura 3.7, existe uma diferença essencial no dimensionamento do circuito tanque. Devido a o MOSFET apenas conduzir durante metade do período de operação, a forma de onda da corrente de dreno deixa de ser descrita por uma função seno durante todo o período, o que leva a que o circuito tanque tenha de ter um factor de qualidade suficientemente elevado para que na saída se obtenha uma aproximação aceitável a uma tensão sinusoidal.

Se assumirmos que a corrente de dreno é sinusoidal durante metade do período de operação e zero para a restante metade, ou seja:

$$i_D = i_{\text{RF,max}} \sin(2\pi f_{\text{out}} t) \quad \text{para } i_D > 0 \quad (3.12)$$

o circuito tanque filtra as componentes harmônicas desta corrente pelo que na carga circula apenas a sua componente fundamental. Deste modo, a tensão de dreno tem apenas a componente fundamental, tal como ilustrado na figura 3.9(b).

A componente fundamental da corrente de dreno, que é a mesma que circula na carga R_L , é determinada por:

$$i_{D,\text{fund}} = \frac{2}{T} \int_0^{T/2} i_D(t) \sin(2\pi f_{\text{out}} t) dt = \frac{i_{\text{RF,max}}}{2} \quad (3.13)$$

o que permite determinar o valor da tensão aos terminais da carga R_L :

$$v_{\text{out}} = \frac{i_{\text{RF,max}}}{2} R_L \sin(2\pi f_{\text{out}} t) \quad (3.14)$$

Como a excursão máxima de v_{out} é V_{DD} , o máximo valor da corrente na carga vale:

$$i_{\text{RF,max}} = \frac{2V_{\text{DD}}}{R_L} \quad (3.15)$$

Por forma a determinar o valor máximo de eficiência que é possível obter com esta classe de operação, é necessário determinar a potência máxima de saída, ou seja, quando $v_{\text{out}} = v_{\text{out,max}} = V_{\text{DD}}$:

$$P_{\text{out}} = \frac{\left(\frac{v_{\text{out}}}{\sqrt{2}}\right)^2}{R_L} = \frac{V_{\text{DD}}^2}{2R_L} \quad (3.16)$$

A potência DC é o produto do valor da tensão de alimentação pelo valor médio, ou DC, da corrente de dreno. Este último é calculado por:

$$\overline{I_D} = \frac{1}{T} \int_0^{T/2} i_{\text{RF,max}} \sin(2\pi f_{\text{out}} t) dt = \frac{i_{\text{RF,max}}}{\pi} \quad (3.17)$$

o que resulta na potência DC:

$$P_{\text{DC}} = \frac{i_{\text{RF,max}}}{\pi} V_{\text{DD}} \quad (3.18)$$

A eficiência é então determinada por:

$$\eta = \frac{P_{\text{out}}}{P_{\text{DC}}} = \frac{\left(\frac{i_{\text{RF,max}}}{\sqrt{2}}\right)^2 R_L}{i_{\text{RF,max}} V_{\text{DD}}} \quad (3.19)$$

cujo valor máximo é:

$$\eta = \frac{P_{\text{out,max}}}{P_{\text{DC}}} = \frac{\frac{V_{\text{DD}}^2}{2R_L}}{\frac{2V_{\text{DD}}}{R_L} \pi V_{\text{DD}}} = \frac{\pi}{4} \approx 78,5\% \quad (3.20)$$

O factor de utilização é neste caso igual ao da classe A. Como se pode constatar, a eficiência máxima para a classe de operação B é consideravelmente maior do que a máxima obtida na classe A. Os valores de tensão e de corrente que o MOSFET deve suportar são iguais aos determinados para a classe A. O aumento da eficiência resulta claramente do compromisso de tolerar alguma distorção, em virtude de o MOSFET apenas conduzir metade do período, em troca de um aumento na eficiência. A próxima classe de operação leva ainda mais longe este compromisso, ao permitir que o dispositivo activo conduza durante uma fracção do período inferior à metade do ciclo de operação.

3.6.4 Amplificador de Classe C

A diferença entre as classes de operação B e C reside no tempo durante o qual o dispositivo activo conduz. Na classe C, a polarização é tal que o ângulo de condução do dispositivo é inferior a π rad. Nesta condição, a corrente de dreno pode ser aproximada a pequenos segmentos de sinusóide, o que leva a considerar que o seu nível DC, comparado com uma sinusóide completa, seja negativo.

A operação em classe C continua a depender do elevado factor de qualidade do circuito tanque bem como da indutância L_{DC} para obter à saída uma aproximação aceitável a uma tensão sinusoidal. O facto de o MOSFET conduzir durante menos de metade do período introduz um maior número de harmónicos de corrente, que devem ser filtrados pelo circuito tanque. Quanto menor for o ângulo θ , maior deverá ser a selectividade do filtro.

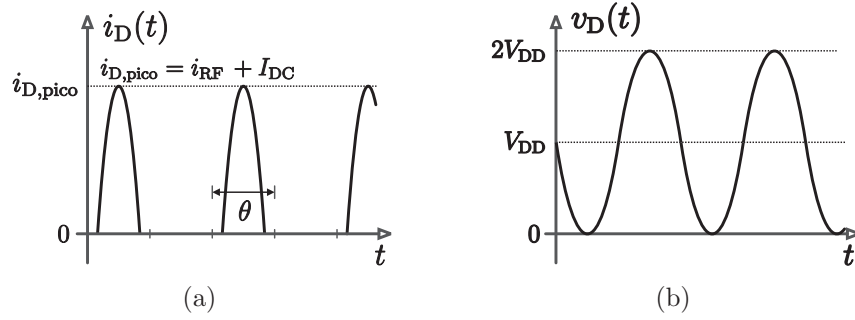


Figura 3.10 – Formas de onda típicas associadas à classe de operação C: (a) corrente de dreno, (b) tensão de dreno.

Nesta classe de operação, e de forma a simplificar a análise, é conveniente expressar a corrente de dreno em função do seu valor DC por uma função cosseno:

$$I_D(t) = I_{DC} + i_{RF} \cos(2\pi f_{out}t), \quad I_D > 0 \quad (3.21)$$

ou seja, a corrente de dreno é não nula durante o tempo de condução do MOSFET. Se também considerarmos a origem dos tempos arbitrária e coincidente com o máximo da função cosseno, tal como representado na figura 3.11, podemos expressar a corrente I_{DC} como uma função do ângulo de condução θ e da corrente na carga i_{RF} , ou seja:

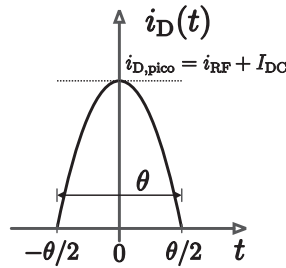


Figura 3.11 – Detalhe da forma de onda da corrente de dreno.

$$I_{DC} = -i_{RF} \cos\left(\frac{\theta}{2}\right) \quad (3.22)$$

Deste modo, vem facilitada a determinação do valor médio da corrente de dreno:

$$\overline{i_D} = \frac{1}{2\pi} \int_{-\theta/2}^{\theta/2} (I_{DC} + i_{RF} \cos \phi) d\phi \quad (3.23)$$

e, substituído o valor de I_{DC} pelo obtido em (3.22), obtém-se:

$$\overline{i_D} = \frac{i_{RF}}{\pi} \left[\sin\left(\frac{\theta}{2}\right) - \left(\frac{\theta}{2}\right) \cos\left(\frac{\theta}{2}\right) \right] \quad (3.24)$$

O valor da potência DC pode já ser calculada como:

$$P_{DC} = \overline{i_D} V_{DD} = \frac{i_{RF} V_{DD}}{\pi} \left[\sin\left(\frac{\theta}{2}\right) - \left(\frac{\theta}{2}\right) \cos\left(\frac{\theta}{2}\right) \right] \quad (3.25)$$

A componente fundamental da corrente de dreno, que é a mesma que circula na carga R_L , é determinada por:

$$i_{D,fund} = \frac{2}{T} \int_0^T i_D \sin(2\pi f_{out} t) dt = \frac{i_{RF}}{2\pi} (\theta - \sin \theta) \quad (3.26)$$

o que permite determinar o valor da tensão aos terminais da carga R_L :

$$v_{out} = i_{D,fund} R_L = \frac{i_{RF} R_L}{2\pi} (\theta - \sin \theta) \quad (3.27)$$

cujos valor máximo é V_{DD} , ou seja:

$$v_{out,max} = V_{DD} = \frac{i_{RF,max} R_L}{2\pi} (\theta - \sin \theta) \quad (3.28)$$

O valor da potência máxima de saída pode ser calculada através da expressão $v_{out}^2/2R_L$. No entanto, considerando a igualdade referida em (3.28), e por forma a obter uma expressão para a eficiência em função do ângulo de condução θ , a potência máxima pode ser determinada por:

$$P_{out,max} = \frac{V_{DD} \frac{i_{RF,max} R_L}{2\pi} (\theta - \sin \theta)}{2R_L} = \frac{i_{RF,max} V_{DD}}{4\pi} (\theta - \sin \theta) \quad (3.29)$$

o que leva à expressão da eficiência em função do ângulo de condução:

$$\eta = \frac{P_{out,max}}{P_{DC}} = \frac{1}{4} \frac{(\theta - \sin \theta)}{\left(\sin\left(\frac{\theta}{2}\right) - \left(\frac{\theta}{2}\right) \cos\left(\frac{\theta}{2}\right) \right)} \quad (3.30)$$

Pela análise da expressão (3.30) pode-se verificar que à medida que o ângulo de condução θ tende para zero, a eficiência do amplificador tende a aproximar-se do valor teórico de 100%. No entanto, verifica-se que a potência entregue à carga é também uma função de θ e o seu valor diminui com a diminuição de θ . Pode-se então concluir que esta classe de operação permite obter um elevado valor de

eficiência apenas se a potência de saída puder ser uma fracção da sua potência máxima. Por outras palavras, um amplificador em classe C pode apresentar uma eficiência elevada, mas o seu valor de PAE ser reduzido. Em muitas aplicações esta característica é restritiva, pois o desejável é normalmente obter-se a potência máxima com o máximo de eficiência. Outro aspecto relevante relaciona-se com o factor de qualidade do circuito tanque. Claramente, à medida que se diminui o ângulo de condução do dispositivo activo, maior será o conteúdo harmónico da tensão à saída, pelo que o factor de qualidade deverá também ser bastante elevado, o que pode ser uma séria condicionante a uma implementação prática desta classe de operação.

3.6.5 Amplificador de Classe AB

O dispositivo activo nos amplificadores a operar em classe A conduz durante a totalidade do período de operação, enquanto que na classe B opera durante metade desse tempo. Na classe AB, e tal como o seu nome sugere, o dispositivo conduz durante um tempo que se situa algures entre a metade e a totalidade do período de operação, dependendo do nível DC e da amplitude do sinal à entrada. Consequentemente, a sua eficiência, bem como a sua linearidade, estarão de igual modo entre os limites que caracterizam as classes A e B. A dedução das expressões que permitem obter a eficiência desta classe pode ser realizada com as deduzidas para a classe C, tendo agora em conta que o ângulo θ situa-se entre π e 2π rad, e que o valor DC da entrada é agora positivo.

3.7 Amplificadores RF comutados

A limitação fundamental dos amplificadores lineares reside no facto de que o dispositivo activo, ao estar sujeito simultaneamente a uma tensão e conduzir um valor não nulo de corrente, dissipará sempre alguma potência. Deste modo, uma eficiência teórica de 100 % nunca poderá ser alcançada. Os amplificadores comutados baseiam-se num interruptor como dispositivo de amplificação. Se considerarmos um interruptor ideal, ou seja, tempo de comutação nulo, resistência nula na condução e infinita no corte, é possível obter uma eficiência máxima teórica de 100 %. No entanto, as não-idealidades dos interruptores, nomeadamente o seu tempo de comutação não nulo bem como as suas resistências associadas aos estados ON e OFF, provocam naturalmente a libertação de alguma potência no dispositivo, o que leva à diminuição da sua eficiência.

3.7.1 Conceitos básicos de comutação

Assumindo que o interruptor é implementado por um MOSFET, a única forma de reduzir a sua resistência no estado ON é aumentar o seu tamanho. No entanto, este procedimento conduz ao aumento das capacidades que lhe estão associadas, reduzindo a sua velocidade de operação. O correspondente aumento no tempo de comutação leva a que durante mais tempo estejam presentes, simultaneamente, valores consideráveis de tensão e de corrente, o que aumenta a potência dissipada no dispositivo. É então necessário estabelecer algum compromisso entre o tempo de comutação e a resistência no estado ON de um MOSFET.

A utilização de esquemas de comutação na maior parte dos circuitos electrónicos que os usam envolve sempre a transferência de energia entre elementos reactivos. Se, teoricamente, a energia armazenada num elemento for completamente transferida para um outro, e se considerarmos que os elementos são ideais, então é possível obter uma eficiência de 100 %.

Para que seja possível maximizar essa transferência de energia, é necessária uma correcta operação dos interruptores, no que se refere aos instantes em que comutam.

Neste contexto, os termos comutação suave e comutação abrupta⁶ referem-se à forma como o interruptor é actuado. Por forma a ilustrar estes conceitos, considere-se o modelo simplificado de um amplificador comutado, ilustrado na figura 3.12.

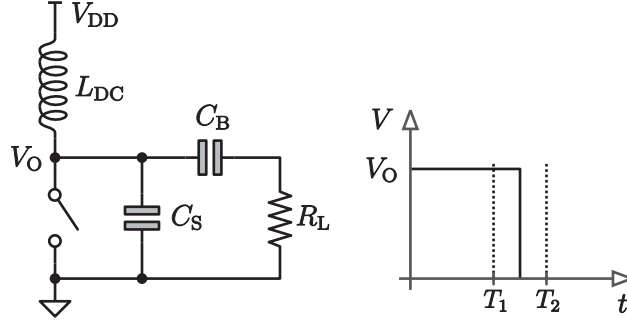


Figura 3.12 – Modelo simplificado de um amplificador comutado.

Admita-se que em instantes anteriores, e durante o tempo em que o interruptor esteve aberto, o condensador armazenou uma determinada quantidade de energia, proveniente da alimentação através da indutância L_{DC} . Esta energia é dada por:

$$E = \frac{1}{2} C_S V_O^2 \quad (3.31)$$

Se o interruptor fechar no instante T_1 , parte da energia armazenada no condensador, não transferida para a carga, será escoada para a massa, desperdiçando-se. Mesmo que o interruptor seja ideal, a sua operação incorrecta reduzirá a eficiência. Esta situação é conhecida por comutação abrupta.

No caso em que a comutação se verifica no instante T_2 , a energia armazenada terá sido completamente transferida e, deste modo, poderá ser obtida uma eficiência de 100 %. Nestas circunstâncias, em que a comutação se dá após a transferência completa de energia, verifica-se uma comutação suave.

3.7.2 Modulação de dreno

Ao termo amplificação está normalmente associado o conceito de que a amplitude do sinal de saída tem uma relação linear com a amplitude do sinal de entrada. O

⁶Estes termos são conhecidos na literatura anglo-saxónica por *soft-switching* e *hard-switching*, respectivamente.

conceito de amplificador comutado põe de parte essa relação, visto que a utilização de um interruptor como elemento amplificador significa que não existe qualquer relação entre as amplitudes de entrada e de saída. Aliás, o conceito de amplificador comutado está relacionado com a conversão de potência, similarmente ao que se observa nos conversores de potência DC-DC. Em ambos os casos, é a tensão de alimentação que determina a potência de saída e esta é sempre proporcional ao quadrado daquela.

A utilização de um amplificador comutado em aplicações de amplificação linear é no entanto possível através da utilização de uma técnica denominada modulação da corrente que circula no dispositivo activo. Considerando que o interruptor é implementado por um MOSFET, esta técnica consiste essencialmente em modular a tensão de saída através da variação da corrente de dreno. Esta modulação é concretizada através de uma rede de carga composta por elementos reactivos e é extensivamente utilizada pelas diversas topologias de amplificadores RF comutados. O tipo de rede de carga utilizada distingue a sua classe de operação. As mais comuns são as classes D, E e F, pelo que serão abordadas a seguir.

3.7.3 Amplificador de classe D

Esta topologia é a implementação directa do conceito de amplificador comutado, sendo também utilizada na concepção de conversores de alimentação DC-DC. O circuito representado na figura 3.13 é uma das formas de implementação de um amplificador de classe D. É uma topologia do tipo *push-pull*, em que o acoplamento entre a entrada e a saída é realizado através de um transformador. A forma de ligação do primário aos interruptores garante que apenas um interruptor está ligado num determinado instante, e que um deles comuta durante a alternância positiva e o outro na alternância negativa.

A comutação dos interruptores resulta na aplicação ao enrolamento primário do transformador de uma tensão com forma de onda quadrada. Quando um interruptor está fechado, a acção do transformador força o outro interruptor a estar sujeito a uma tensão $2V_{DD}$. A tensão que é induzida no secundário, v_L , tem também uma

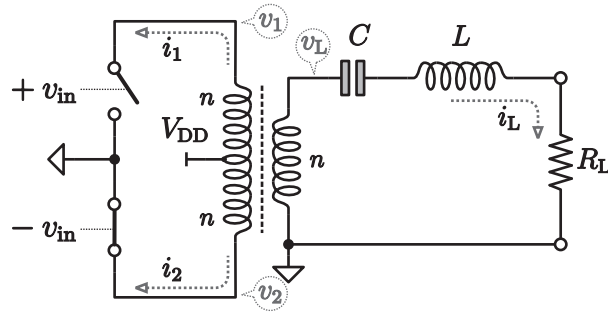


Figura 3.13 – Amplificador de classe D.

forma de onda quadrada, mas devido ao filtro de saída sintonizado apenas a sua componente fundamental circula na carga. Dado que no circuito de saída apenas circula uma corrente à frequência fundamental, a corrente no circuito do primário é também sinusoidal. Consequentemente, em cada interruptor circula uma corrente sinusoidal durante metade de cada ciclo em que está ligado, estando as formas de onda típicas de tensão e corrente ilustradas na figura 3.14.

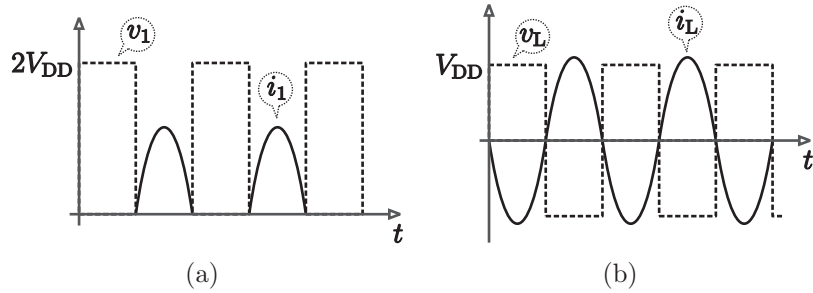


Figura 3.14 – Formas de onda ideais no amplificador de classe D: (a) corrente e tensão no primário, (b) no secundário.

Tendo em conta que a amplitude da componente fundamental de uma onda quadrada é $4/\pi$ vezes a sua amplitude, a componente fundamental da tensão de saída é $(4/\pi)V_{DD}$ e a potência de saída é:

$$P_{\text{out}} = \frac{[(4/\pi)V_{DD}]^2}{2R_L} \quad (3.32)$$

A expressão 3.32 indica que, desde que a resistência de carga R_L seja devidamente escolhida, a potência entregue à carga é constante, o que dá a indicação de que esta topologia não é apropriada para amplificação de sinais com envolvente

variável no tempo. Se assumirmos que todos os componentes são ideais, então é possível obter-se teoricamente uma eficiência de 100 %. No entanto, como não existem interruptores ideais, existirão sempre perdas devido ao processo de comutação. Tensão não nula no interruptor fechado provoca dissipação estática, enquanto que tempos de comutação finitos implicam que o produto VI no interruptor durante as transições se pode estender consideravelmente no tempo. Valores de eficiência máxima para esta topologia rondam, grosso modo, os 60 %.

O factor de utilização é neste caso:

$$FU = \frac{\frac{[(4/\pi)V_{DD}]^2}{2R_L}}{2V_{DD} \frac{[(4/\pi)V_{DD}]}{R_L}} = \frac{1}{\pi} \approx 0,318 \quad (3.33)$$

O circuito representado na figura 3.15 ilustra um outro modo de implementar um amplificador de classe D. Ao invés da utilização de um transformador e de dois interruptores, este circuito utiliza apenas um interruptor controlável e um circuito tanque adicional.

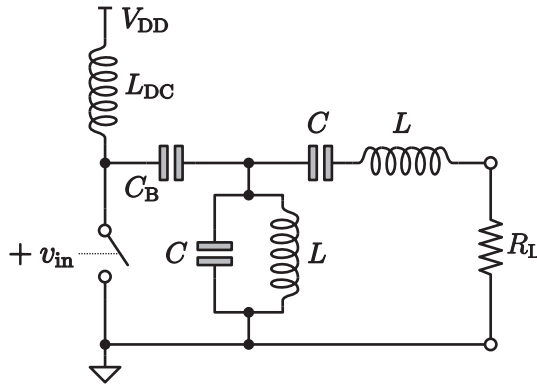


Figura 3.15 – Amplificador de classe D com um interruptor.

Quando o interruptor está fechado, a corrente proveniente da alimentação através da indutância L_{DC} é curto-circuitada para a massa. Quando o interruptor abre, a corrente é desviada para a saída. O circuito de carga, composto por uma associação série e uma paralela LC , permite a filtragem do sinal de tensão resultante da comutação, pelo que apenas a sua componente fundamental circula na carga. O

tanque LC adicional permite um caminho para os harmónicos da corrente e rejeita os harmónicos de tensão, permitindo deste modo que o circuito opere de um modo similar ao circuito representado na figura 3.13.

3.7.4 Amplificador de classe E

Como referido anteriormente, o facto de os interruptores reais apresentarem uma queda de tensão não nula no seu estado ligado e de apresentarem tempos de comutação finitos reduz a eficiência de um amplificador comutado. No caso de um MOSFET utilizado como interruptor, além da sua tensão no estado ON, os tempos de comutação dependem essencialmente das capacidades que lhe estão associadas. Por forma a minimizar as perdas devido à comutação, os interruptores devem ser bastante rápidos comparativamente à frequência de comutação. No entanto, e devido às capacidades parasitas associadas a um MOSFET, à medida que a frequência de comutação aumenta, torna-se cada vez mais difícil cumprir este requisito.

Um das formas de minimizar as perdas devido à comutação consiste em moldar as formas de onda da tensão e da corrente do dispositivo activo de modo a evitar a sua sobreposição, reduzindo deste modo o produto VI do dispositivo.

A classe de operação E, introduzida por Nathan Sokal e Alan Sokal [41] em 1975, consiste essencialmente na utilização de uma rede de carga especial que controla o tempo de transição do dispositivo activo de modo a que não ocorra sobreposição entre a tensão aos terminais do interruptor e a corrente que o atravessa. Um amplificador a operar em classe E não tem propriamente uma topologia definida, dado que o seu modo de operação é apenas definido por um conjunto de três condições, enumeradas do seguinte modo:

1. A tensão aos terminais do interruptor não sobe enquanto a corrente no interruptor não se extinguir;
2. A tensão aos terminais do interruptor tem de atingir o valor zero antes de o interruptor passar para o estado ON;
3. A variação da tensão aos terminais do interruptor é também zero quando o

interruptor está fechado, por forma a assegurar que a tensão aos terminais do interruptor não se altera quando está próximo de zero.

Tal como descrito pelos seus inventores, o circuito normalmente associado a esta classe de operação encontra-se ilustrado na figura 3.16.

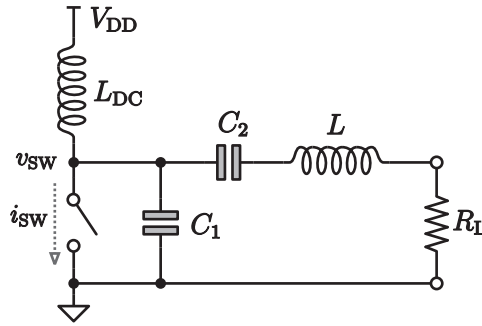


Figura 3.16 – Circuito clássico de um amplificador de classe E.

A rede de carga é composta por C_1 , C_2 e L . A resistência de carga R_L pode representar a impedância de uma antena ou então a impedância de entrada de uma rede de adaptação da impedância da antena.

Tendo em conta as condições enumeradas anteriormente, as formas de onda típicas associadas ao circuito da figura 3.16 encontram-se ilustradas na figura 3.17. Conforme se pode observar, a primeira condição traduz-se num valor de corrente nulo antes que a tensão v_{SW} comece a subir. Observa-se também que a corrente começa a subir logo após a tensão cair totalmente para zero (condição 2). Finalmente verifica-se que durante o estado de condução do interruptor a variação da tensão aos seus terminais é nula, bem como a sua variação, por forma a garantir que quando a corrente se anular esta tensão possa crescer a partir do zero. Neste circuito, a primeira condição é satisfeita dado que o condensador C_1 atrasa o tempo de subida da tensão aos terminais do interruptor, v_{SW} .

A rede composta por C_2 e L é um sistema oscilatório de segunda ordem. Os parâmetros deste sistema dependem do factor de qualidade, Q_L , escolhido. Variando este factor de qualidade, torna-se possível controlar o tempo de descida da tensão v_{SW} e, deste modo, cumprir as condições 2 e 3. A escolha de um determinado factor de qualidade é no entanto um compromisso entre o conteúdo harmónico da potência

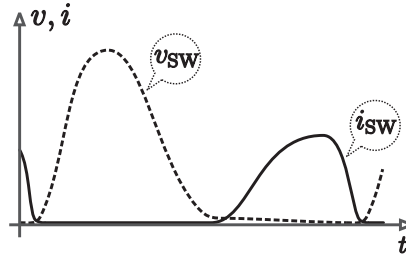


Figura 3.17 – Formas de onda típicas de um amplificador de classe E.

entregue à carga R_L (elevado valor de Q_L), eficiência (baixo Q_L) e complexidade de um eventual filtro para uma redução adicional do conteúdo harmónico.

A determinação dos valores óptimos da rede de carga consiste em minimizar as perdas totais na rede, mantendo no entanto um limite máximo para o conteúdo harmónico na carga. A dedução das equações que determinam os valores de C_1 , C_2 e L é bastante extensa, pelo que apenas se apresentam os seus resultados finais. Os valores de V_{DD} e de R_L são normalmente combinados no sentido de fornecer um valor específico de potência à carga. O valor de R_L é dado por:

$$R_L = \frac{(V_{DD} - V_{SW,ON})^2}{P_{out}} \left(\frac{2}{\frac{\pi^2}{4} + 1} \right) = 0,577 \frac{(V_{DD} - V_{SW,ON})^2}{P_{out}} \quad (3.34)$$

No caso em que a resistência da carga não é igual a este valor, deverá ser utilizada uma rede de transformação de impedâncias.

O factor de qualidade Q_L da rede de carga pode ser escolhido arbitrariamente de acordo com o compromisso anteriormente referido. O valor de L_2 é então determinado pela definição de factor de qualidade:

$$L_2 = \frac{Q_L R_L}{2\pi f} \quad (3.35)$$

Por forma a satisfazer as condições 2 e 3, os valores dos condensadores C_1 e C_2 são determinados por:

$$C_1 = \frac{1}{2\pi f R_L \left(\frac{\pi^2}{4} + 1\right) \left(\frac{\pi}{2}\right)} = \frac{1}{2\pi f R_L 5,447} \quad (3.36)$$

$$\begin{aligned} C_2 &\approx \left(\frac{1}{(2\pi f)^2 L_2}\right) \left(1 + \frac{1,42}{Q_L - 2,08}\right) \\ &\approx C_1 \left(\frac{5,447}{Q_L}\right) \left(1 + \frac{1,42}{Q_L - 2,08}\right) \end{aligned} \quad (3.37)$$

O valor de pico da corrente de dreno vale aproximadamente:

$$i_{D,pico} \approx \frac{1,77V_{DD}}{R_L} \quad (3.38)$$

A tensão de pico aos terminais do interruptor, que se verifica na comutação de ON para OFF, é

$$V_{SW,pico} = 3,562V_{DD} - 2,562V_{SW,ON} \quad (3.39)$$

o que indica qual o valor máximo de tensão que o interruptor deve suportar. Este valor de pico é devido à sobreelevação do sistema de segunda ordem que representa a rede de carga. Claramente, trata-se de um valor bastante elevado, o que se torna numa clara desvantagem desta classe de operação. Uma das vantagens associadas reside no condensador que está colocado em paralelo com o interruptor. Esta capacidade representa todas as capacidades parasitas do dispositivo, pelo que muitas vezes é apenas necessário adicionar uma pequena capacidade por forma a completar o valor determinado em (3.36). Devido ao resultado expresso em (3.39), o factor de utilização nesta classe de operação é reduzido (cerca de 0,098), o que claramente indica um elevado nível de esforço do dispositivo.

3.7.5 Amplificador de classe F

Por detrás da operação em classe E está o conceito de explorar as propriedades de uma rede de carga reactiva por forma a moldar, de uma forma vantajosa, as formas de onda da tensão e da corrente no dispositivo activo. Este conceito é também explorado pelos amplificadores em classe F, só que neste caso são exploradas as propriedades das terminações reactivas das linhas de transmissão. Um dos circuitos associados a esta classe de operação encontra-se ilustrado na figura 3.18.

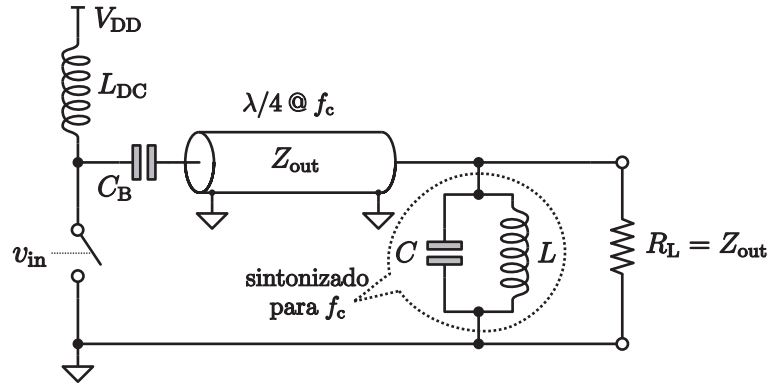


Figura 3.18 – Amplificador de classe F.

Neste circuito, o circuito tanque de saída é sintonizado de modo a que a sua frequência de ressonância seja igual à frequência da portadora, assumindo-se que o seu factor de qualidade é suficientemente elevado para que o circuito se comporte como um curto-circuito para todas as frequências fora da largura de banda centrada na frequência da portadora.

O comprimento da linha de transmissão é escolhido para ter precisamente um quarto do comprimento de onda ($\lambda/4$) da frequência da portadora. Dado que a impedância de entrada de uma linha de transmissão é proporcional ao recíproco da impedância da sua terminação, ou seja:

$$Z_{\text{in}} = \frac{Z_{\text{out}}^2}{Z_L} \quad (3.40)$$

pode-se deduzir que uma linha de transmissão de comprimento $\lambda/4$ apresenta uma impedância de entrada igual à impedância da carga. Aplicando esta propriedade ao circuito da figura 3.18, o interruptor “vê” uma resistência pura ($Z_{\text{out}} = R_L$), já que a esta frequência o circuito tanque comporta-se como um circuito aberto, e a linha de transmissão é deste modo terminada pela sua impedância característica. No segundo harmónico da portadora, o interruptor “vê” um curto-circuito, dado que o circuito tanque é um curto-circuito para todas as frequências fora da largura de banda em torno da portadora, e deste modo a linha de transmissão é vista como se fosse um condutor de comprimento $\lambda/4$. Assim, o interruptor “vê” um curto-circuito

para todos os harmônicos pares da portadora, dado que a linha de transmissão aparece como algum múltiplo inteiro par de $\lambda/4$ para todos os harmônicos pares. Para os harmônicos ímpares, o interruptor “vê” também um circuito aberto. Embora o circuito tanque continue a parecer um curto-circuito, a linha de transmissão aparece como um múltiplo inteiro ímpar de $\lambda/4$ e deste modo fornece o recíproco da impedância da carga⁷.

Esta propriedade das linhas de transmissão associada ao circuito tanque colocado à saída garante que todos os harmônicos ímpares da tensão os terminais do interruptor não “vejam” a carga e deste modo esta tensão tem uma forma quadrada. Pela condição de circuito aberto imposta pela linha de transmissão para todos os harmônicos ímpares acima da componente fundamental, a única componente na corrente que circula na carga é a fundamental. Assim, a corrente que atravessa o interruptor é sinusoidal e o circuito tanque garante que a tensão à saída também é sinusoidal. As formas de onda da tensão e da corrente no interruptor, ilustradas na figura 3.19, são deste modo similares às obtidas com um amplificador de classe D.

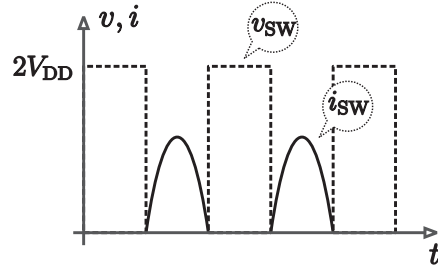


Figura 3.19 – Formas de onda típicas de um amplificador de classe F.

Dado que a tensão no interruptor tem uma forma de onda quadrada de amplitude $2V_{DD}$, a potência entregue à carga é calculada por:

$$P_{\text{out}} = \frac{[(4/\pi)V_{DD}]^2}{2R_L} \quad (3.41)$$

⁷De referir que uma linha de transmissão com um comprimento de um quarto do comprimento de onda apresenta uma propriedade de reciprocidade da impedância, ou seja, a impedância de entrada de tal linha é proporcional ao recíproco da impedância da sua terminação. Pode também ser deduzido que duas secções de um quarto do comprimento de onda cancelam esta reciprocidade, ou seja, a linha comporta-se como um condutor.

sendo que o factor de utilização é o mesmo que o obtido para a classe D, ou seja, 0,318.

3.8 Resumo comparativo das classes de operação

De entre as classes de operação abordadas, a classe A é a única que pode ser considerada como verdadeiramente linear. É essencialmente caracterizada por uma baixa eficiência, que teoricamente não ultrapassa os 50 %. A classe B sacrifica a linearidade por forma a obter valores de eficiência superiores (máximo teórico de 78,5 %), à custa da redução do tempo de condução do dispositivo activo para metade do período de operação. Mesmo assim, continua a usufruir do potencial para uma amplificação linear. Reduzindo ainda mais o tempo de condução, obtêm-se valores de eficiência superiores, que na classe C podem atingir um máximo teórico de 100 %. No entanto, neste limite teórico, a potência de saída é tendencialmente nula, podendo-se considerar que a classe C pode apresentar valores de eficiência razoáveis desde que a potência à saída seja apenas uma fracção da potência máxima admissível. Pela necessidade de um circuito tanque com um factor de qualidade elevado, a utilização da classe C é normalmente restrita a sinais de banda estreita.

Devido ao conceito de fonte de corrente controlável que é explorado nas classes A, B e C, estas são as que possibilitam a utilização de esquemas de modulação em amplitude, ou seja, tornam possível à saída uma réplica, mais ou menos fiel, da entrada.

Os amplificadores que utilizam técnicas de comutação não têm a capacidade de uma amplificação linear, embora todas as classes de operação que utilizam estas técnicas permitam obter valores teóricos de eficiência máxima de 100 %. No entanto, como todas se baseiam num ou mais dispositivos activos para realizar uma comutação, os parâmetros relacionados com os tempos de comutação degradam a eficiência e limitam a frequência de operação. O facto de a saída deste tipo de amplificadores ter uma amplitude que, idealmente, é independente da entrada torna-os adequados a esquemas de modulação em amplitude constante.

Os amplificadores a operar em classe D apresentam um dos factores de utilização mais elevados, mas ao utilizarem dois dispositivos de comutação a sua eficiência é reduzida pelo tempo não nulo da sua comutação dos dispositivos. As classes E e F exploram os conceitos de terminações reactivas para evitar simultaneamente valores consideráveis de tensão e de corrente no dispositivo activo, por forma a reduzir a potência dissipada por este nos instantes da comutação. Enquanto que na classe E é utilizada uma rede de carga especial, a classe F explora as propriedades das linhas de transmissão para obter praticamente o mesmo efeito. No entanto, esta última classe apresenta uma séria desvantagem inerente à utilização de uma rede de carga complexa (linha de transmissão ou modelo LC equivalente), pelo que as perdas nesta rede podem ser significativas.

Na tabela 3.1, apresenta-se um sumário das características dos amplificadores de potência que operam nas classes abordadas anteriormente. Pelo facto de estas poderem ser mais ou menos apropriadas de acordo com o tipo de modulação empregue, a selecção da mais apropriada para a aplicação em causa será feita após a abordagem das técnicas de modulação.

3.9 Técnicas de modulação

Por definição, um sinal de informação é não-determinístico, ou seja, as suas características podem-se alterar de um modo imprevisível. Este tipo de sinal não pode, portanto, ser definido em termos do seu espectro de amplitude e de fase, pelo que é usual especificá-lo através do seu espectro de potência.

Um canal de comunicação através do qual o sinal é transmitido pode ser especificado em termos da sua resposta em frequência e de fase. Para uma transmissão eficiente, os parâmetros de um sinal devem ser compatíveis com as características do canal. Quando isso não se verifica, o sinal deve ser modificado ou processado, sendo que esta operação é denominada modulação.

A transmissão de sinais por rádio-frequência através de uma antena é baseada na propagação no ar de radiação electromagnética. Por forma a que possa ocorrer

Tabela 3.1 – Sumário das características das diversas classes de operação

Classe A	<ul style="list-style-type: none"> • Elevada linearidade • Baixo valor de eficiência • Baixo valor de PAE • Baixo factor de utilização do dispositivo activo • Amplificação de sinais de amplitude variável • Maior frequência de operação
Classe B	<ul style="list-style-type: none"> • Linearidade moderada • Amplificação de sinais de amplitude variável
Classe C	<ul style="list-style-type: none"> • Baixa linearidade • Elevada eficiência (para uma fracção da potência máxima) • Valor de PAE moderado • Amplificação de sinais de amplitude variável • Somente para amplificação de sinais de banda estreita
Classe D	<ul style="list-style-type: none"> • Muito baixa linearidade • Bom factor de utilização • Valor de PAE moderado • Apenas para sinais de amplitude constante
Classe E	<ul style="list-style-type: none"> • Valor de pico da tensão de dreno elevado • Baixo factor de utilização • Apenas para sinais de amplitude constante
Classe F	<ul style="list-style-type: none"> • Similar à classe D • Eficiência superior à classe D • Rede de carga complexa com perdas algo elevadas • Apenas para sinais de amplitude constante

uma eficiente irradiação de energia numa antena, o comprimento de onda do sinal irradiado deve ser da mesma ordem de grandeza das dimensões físicas da antena. O comprimento de onda de um sinal está relacionado com a sua frequência pela expressão:

$$\lambda = \frac{c}{f} \quad (3.42)$$

onde λ (m) representa o comprimento de onda de um sinal de frequência f (s^{-1}) e c é a velocidade da luz no vazio ($\approx 3 \times 10^8 \text{ ms}^{-1}$). Para sinais de áudio, uma antena comparável com o comprimento de onda teria dimensões na ordem das várias centenas de quilómetros o que é claramente impraticável. Para que uma antena tenha dimensões aceitáveis, o sinal irradiado deve ser de frequência elevada. Neste

exemplo em particular, um sinal de alta frequência, referido vulgarmente por portadora, deve ser variado (modulado) de um modo que seja possível efectuar uma transmissão eficiente de um sinal de informação de baixa frequência.

Assumindo que um sinal de portadora pode ser representado genericamente por:

$$f(t) = A \cos(2\pi f_c t + \varphi) \quad (3.43)$$

onde A , f_c e φ representam a amplitude, a frequência e a fase da portadora, então a sua modulação pode ser efectuada variando qualquer uma destas características.

A variação de cada um dos parâmetros do sinal transmitido, mantendo constante os restantes, dá origem ao tipo de modulação. Mantendo constantes a frequência e a fase da portadora, obtém-se a modulação em amplitude, designada na literatura anglo-saxónica por AM (*Amplitude Modulation*). Os restantes tipos de modulação são naturalmente as modulações em frequência (FM - *Frequency Modulation*) e em fase (PM - *Phase Modulation*). Estes esquemas de modulação estão associados a sinais na sua banda-base que são contínuos, pelo que as modulações AM, FM e PM pertencem ao grupo de técnicas de modulação contínuas. Quando os sinais a serem modulados por uma portadora são digitais, é vulgar utilizar-se a designação de modulação digital.

3.9.1 Modulação digital em amplitude

Na modulação digital em amplitude, designada modulação por comutação de amplitude, ou na literatura anglo-saxónica por ASK (*Amplitude Shift Keying*), os dois valores binários são representados por valores distintos de amplitude da portadora. Normalmente uma das amplitudes é zero, ou seja, o código binário '1' é representado pela presença de portadora de amplitude constante, e o valor '0' pela sua ausência. Este sinal está representado na figura 3.20, onde o sinal digital de informação está codificado em NRZ-L, e t_1 representa a duração de um código binário. O sinal modulado em ASK pode então ser genericamente expresso por:

$$f(t) = \begin{cases} A \cos(2\pi f_c t + \varphi) & , b = 1 \\ 0 & , b = 0 \end{cases}$$

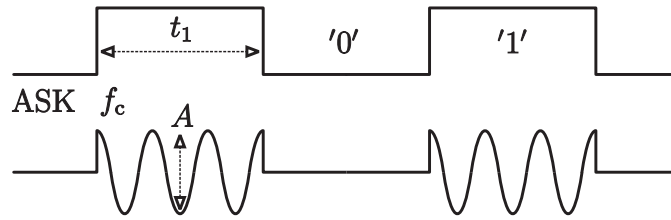


Figura 3.20 – Formas de onda associadas à modulação ASK.

3.9.2 Modulação digital em frequência

O equivalente digital da modulação FM é o designado por FSK (*Frequency Shift Keying*), em que a frequência da portadora é comutada entre dois valores distintos f_{c1} e f_{c2} , mantendo a amplitude e a fase da portadora constantes. Embora neste caso não exista propriamente uma frequência central, esta pode ser entendida como o valor equidistante dos dois valores extremos, ou seja:

$$f(t) = \begin{cases} A \cos(2\pi f_{c1}t + \varphi) & , b = 0 \\ A \cos(2\pi f_{c2}t + \varphi) & , b = 1 \end{cases}$$

As formas de onda associadas a este tipo de modulação estão ilustradas na figura 3.21.

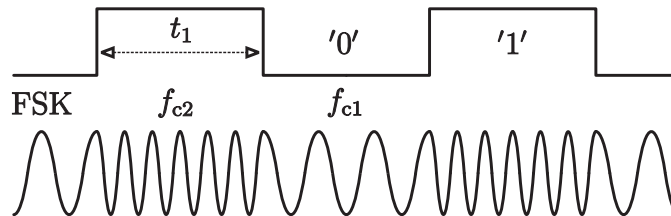


Figura 3.21 – Formas de onda associadas à modulação FSK.

3.9.3 Modulação digital em fase

No caso da modulação digital em fase, designada por PSK (*Phase Shift Keying*), a fase da portadora é comutada entre dois valores de fase φ_1 e φ_2 distintos, ou seja:

$$f(t) = \begin{cases} A \cos(2\pi f_c t + \varphi_1) & , b = 0 \\ A \cos(2\pi f_c t + \varphi_2) & , b = 1 \end{cases}$$

As formas de onda associadas a este tipo de modulação estão ilustradas na figura 3.22.

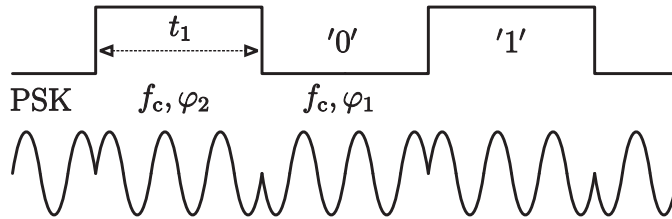


Figura 3.22 – Formas de onda associadas à modulação PSK.

Este esquema de modulação digital deu origem a algumas variantes que se distinguem sobretudo no número de desvios de fase gerados por um código digital. No caso mais simples da modulação BPSK (*Binary Phase Shift Keying*), o valor da fase comuta entre dois valores espaçados de π , de acordo com um código binário de 1 bit. No sistema QPSK (*Quadrature Phase Shift Keying*), a fase da portadora é dividida em 4 valores igualmente espaçados de $\pi/2$, começando em $\pi/4$. A comutação entre estes valores é controlada agora por códigos binários de 2 bits, dando origem a desvios de fase de $\pi/4$, $3\pi/4$, $5\pi/4$ e $7\pi/4$. Este esquema é mais eficiente, dado que neste caso são transmitidos códigos de 2 bits de informação ao mesmo tempo, o que é equivalente a um sistema ASK com o dobro da taxa de dados. Se dividirmos ainda mais o número de passos de fase, é possível aumentar ainda mais o número de bits transmitidos de uma só vez, como por exemplo 4 bits (2^4 espaços). Embora este método possibilite uma maior transferência de dados na mesma banda, à medida que se aumenta o número de passos, maior será a complexidade do sistema de recepção, dado que necessita de detectar um desvio de fase cada vez menor entre cada código transmitido.

3.9.4 Eficiência de utilização do canal

Por forma a estabelecer uma comparação do desempenho dos esquemas de modulação digital anteriormente referidos, um dos principais parâmetros de interesse é a largura de banda ocupada no canal de comunicações pelo sinal modulado.

A largura de banda de um sinal modulado em ASK, pode ser descrita pela expressão:

$$BW_{ASK} = 2R \quad (3.44)$$

onde R (bps) representa a taxa de dados. Deste modo, a largura de banda está directamente relacionada com a taxa de dados e neste caso é o dobro. O espectro deste sinal está ilustrado na figura 3.23. A título exemplificativo, um sinal digital a uma taxa de 9600 bps ocupa, em ASK, uma largura de banda de 19 200 Hz.

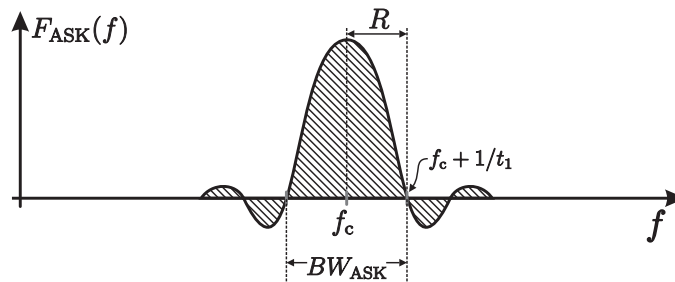


Figura 3.23 – Espectro de um sinal modulado em ASK.

No caso da modulação FSK, cujo espectro está representado na figura 3.24, a largura de banda pode ser expressa como:

$$BW_{FSK} = 2\Delta f + 2R = 2R(1 + \beta) \quad (3.45)$$

onde $\Delta f = f_{c2} - f_c = f_c - f_{c1}$ é o desvio entre a frequência modulada e a frequência central e β o índice de modulação definido como $\beta = \Delta f / R$. Como se pode verificar

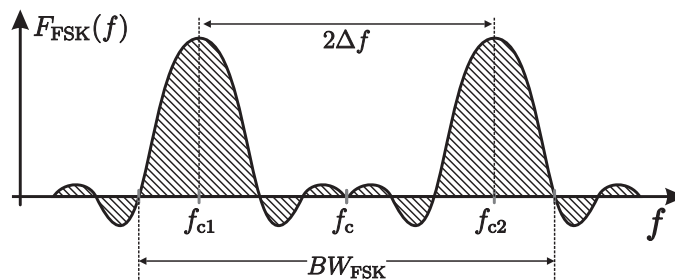


Figura 3.24 – Espectro de um sinal modulado em FSK.

na figura, a largura de banda mínima em FSK corresponde à situação de separação

mínima entre os espectros para as frequências associadas aos níveis lógicos⁸. Deste modo, o valor mínimo da largura de banda é obtido para um índice de modulação unitário, ou seja, $BW_{\text{FSK},\min} = 4R$.

Na modulação PSK, a informação binária é transmitida deslocando a fase 0 ou π rad. Isto é equivalente a multiplicar o sinal de informação por $+1$ ou -1 . Deste modo, a largura de banda de um sinal modulado em PSK, ilustrada na figura 3.25, é igual à largura de banda ocupada por um sinal ASK. Dado que deste modo não existe componente DC no sinal modulante, a portadora no espectro PSK será suprimida.

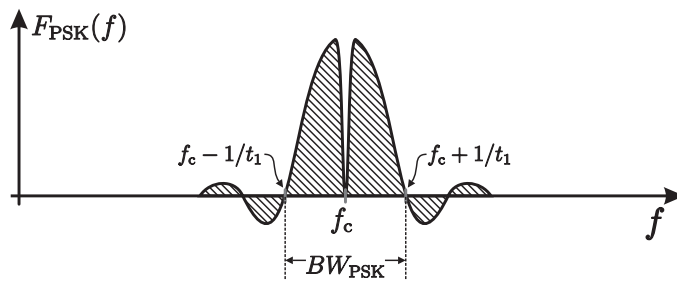


Figura 3.25 – Espectro de um sinal modulado em PSK.

Comparando os espectros dos sinais modulados em ASK, FSK e PSK, verifica-se que o menos eficiente em termos de largura de banda ocupada é o da modulação FSK. Embora nos casos ASK e PSK a largura de banda ocupada seja a mesma, a modulação PSK pode apresentar uma maior eficiência na utilização da mesma largura de banda, se se considerar que podem ser transmitidos códigos binários multi-bit.

3.9.5 Imunidade ao ruído e taxa de erros

Além da importância de maximizar a eficiência da largura de banda ocupada pelo sinal modulado, deve-se também minimizar a potência requerida para efectuar uma transmissão mantendo uma taxa de erro aceitável. Esta taxa de erro, associada à transmissão de sinais digitais e vulgarmente designada por BER (*Bit Error Rate*),

⁸O espectro FSK pode ser entendido como a sobreposição de dois espectros ASK em torno de cada frequência de operação.

dá uma indicação do número de bits que chegam ao destino com valor errado. É normalmente expressa como a probabilidade de ocorrência desse erro.

O desempenho dos sistemas de modulação digital referidos pode também ser comparado relativamente à imunidade ao ruído presente no canal de comunicação. Estando o sinal modulado normalmente referenciado a taxas de dados e bits, é usual referir a sua relação sinal/ruído (S/N) como uma relação entre a potência do sinal por bit e a potência do ruído. Se se considerar um sinal, digital ou analógico, que contém informação digital binária transmitida a uma determinada taxa R , esta relação é definida como:

$$\frac{E_B}{N_0} = \frac{S/N_{BW}}{R/BW} \quad (3.46)$$

onde R (bps) é a taxa de dados, BW (Hz) é a largura de banda ocupada, S a potência do sinal transmitido e N_{BW} a potência do ruído contido em BW que pode ser definida por $N_{BW} = N_0 BW$. A relação (R/BW) traduz a eficiência da utilização da largura de banda. A relação E_B/N_0 é importante, dado que o valor da taxa de erro BER é uma função decrescente desta relação. De um modo geral, pode-se afirmar que à medida que a taxa de dados R aumenta, a potência do sinal transmitido relativa à potência de ruído deve aumentar, por forma a manter um determinado valor da relação E_B/N_0 e, conseqüentemente, manter o mesmo valor de BER.

A figura 3.26 ilustra a probabilidade de ocorrência de erro, P_e , *versus* E_B/N_0 para os esquemas de modulação ASK, FSK, BPSK e QPSK. Como se pode verificar, à medida que a relação E_B/N_0 aumenta, a probabilidade de ocorrência de erro diminui. De igual modo se verifica que para a mesma probabilidade, os esquemas de modulação BPSK e QPSK necessitam de menos 3 dB na potência do sinal transmitido, o que claramente constitui uma vantagem face aos sistemas ASK e FSK.

A função de probabilidade de ocorrência de erro P_e está relacionada com a relação E_B/N_0 através da expressão:

$$P_e = \frac{1}{2} [1 - \text{erf}(\frac{E_B}{2\sqrt{2}N_0})] \quad (3.47)$$

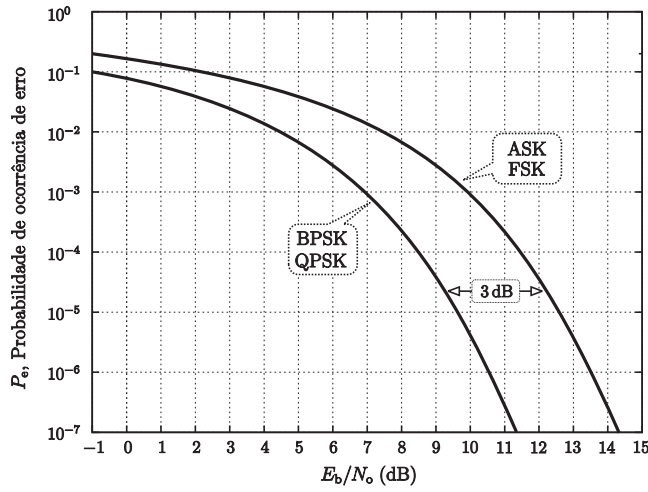


Figura 3.26 – Probabilidade de ocorrência de erro na recepção versus E_B/N_0

onde $\text{erf}(x)$ é uma função de erro probabilístico, normalmente tabelada, dado por:

$$\text{erf}(x) = \frac{2}{\sqrt{\pi}} \int_0^x e^{-y^2} dy \quad (3.48)$$

Na tabela 3.2, comparam-se os referidos esquemas de modulação, em termos de largura de banda ocupada e eficiência na sua utilização, para um sinal com uma taxa de dados de 20 kbps e com uma probabilidade de ocorrência de erro 10^{-6} .

Tabela 3.2 – Comparação dos esquemas de modulação digital

Esquema de Modulação	Largura de banda, BW ($R = 20$ kbps)	Eficiência (R/BW)	E_B/N_0 (BER= 10^{-6})
ASK	40 KHz	0,5	13,5 dB
FSK	80 KHz	0,25	13,5 dB
BPSK	40 KHz	0,5	10,5 dB
QPSK	20 KHz	1,0	10,5 dB

Pode-se então concluir que, para o mesmo valor de BER, os sistemas ASK e FSK apresentam o mesmo valor de E_B/N_0 , sendo que o FSK é o menos eficiente na utilização da largura de banda. Os sistemas BPSK e QPSK apresentam uma vantagem de 3 dB relativamente aos sistemas ASK e FSK. O sistema QPSK é claramente superior por permitir uma eficiência dupla da obtida com os outros sistemas. No

entanto, é importante referir que este último sistema apresenta uma complexidade de implementação superior.

3.10 Selecção do amplificador de potência RF

A integração de um subsistema de transmissão de dados com a interface sensorial combina as vantagens da conversão A/D e processamento digital de sinal, realizada no ponto de medida, com as vantagens inerentes à transferência sem fios dessa informação para um sistema de gestão ou de medida associado a um determinado processo.

Pelo facto de a informação que deve ser transmitida estar já no domínio digital, resultante de uma conversão A/D, as técnicas de modulação naturais são as digitais. Estas são essencialmente caracterizadas por uma amplitude de portadora constante, pelo que as classes de operação A, B, AB e C são preteridas face às que se baseiam em técnicas de comutação. A classe F é, teoricamente, aquela que permite uma maior eficiência, mas que, devido ao tipo de rede de carga, depende do comprimento de onda da portadora. Além disso, a rede de carga pode apresentar perdas significativas e ser algo complexa de ajustar, bem como ser influenciada por elementos parasitas. A classe D apresenta o problema da utilização de dois transístores a funcionar em oposição de fase, pelo que, para além de ocupar mais espaço, é necessário um correcto emparelhamento entre eles. A classe E tem um factor de utilização muito baixo o que indica que o dispositivo é sujeito a um grande esforço. De facto, a tensão a que está sujeito atinge um pico na transição ON-OFF que é cerca de 3,6 vezes a tensão de alimentação. Os modernos processos CMOS apresentam uma tensão de ruptura reduzida, pelo que esta classe pode ser, em alguns processos, inviável. No entanto, apresenta duas vantagens importantes. A primeira relaciona-se com a simplicidade do circuito que implementa a rede de carga, bem como o seu ajuste. Por outro lado, os MOSFETs utilizados numa operação de comutação de sinais RF ocupam normalmente uma área elevada, pelo que a sua capacidade de saída é considerável. Nesta classe de operação, esta capacidade, que pode ser entendida como parasita, é considerada como parte da rede de carga, além de outras associadas ao nó do dreno,

como por exemplo a capacidade parasita entre a indutância L_{DC} e o substrato. Estas são duas vantagens importantes que levam à escolha desta classe de operação. No entanto, o valor máximo da tensão de dreno pode ser utilizado como forma de limitar a potência do sinal emitido, dado que esta é proporcional ao seu quadrado.

Embora o critério de selecção de uma arquitectura em particular se possa apoiar na escolha de componentes que ofereçam maior eficiência, quer na utilização dos poucos recursos energéticos quer na utilização de largura de banda, este pode não ser o mais vantajoso. Aplicações como a monitorização remota de grandezas físicas de interesse em processos agrícolas beneficiam com o tamanho reduzido do sistema completo, baixo consumo e baixo custo de produção. Por outro lado, na aquisição de dados deste tipo de variáveis, é permitida alguma latência pelo que é possível trocar o desempenho por uma arquitectura simples e eficaz para o fim em vista. Além disso, devido às elevadas constantes de tempo associadas ao processo, a informação obtida é muitas vezes redundante. Neste contexto, optou-se pela combinação de um amplificador a operar em classe E com uma modulação ASK, por ser a mais eficaz, com potencial para cumprir os requisitos que se impõem neste tipo de aplicação.

3.11 Frequência de operação

A escolha da frequência da portadora RF é dependente de vários aspectos, nomeadamente do tipo de aplicação e do consumo de energia. Outro aspecto importante é a alocação de espectro de RF para a transmissão de sinais de baixa potência. Existem várias bandas disponíveis para o uso não licenciado de aplicações de telemetria, designadas por bandas ISM (*Industrial, Scientific and Medical Bands*). As frequências disponíveis para este propósito são as disponíveis nas bandas 38 – 41 MHz, 88 – 108 MHz, 174 – 216 MHz e 433 MHz. Existem outras bandas na região das microondas (> 900 MHz), que não são consideradas devido ao maior nível de potência requerida para operar nestas frequências. Além disso, os processos CMOS que possibilitam a utilização de frequências mais elevadas (por exemplo na banda dos 2,45 GHz) são também mais complexos e dispendiosos economicamente.

Os sistemas de telemetria e de telecomando encontraram um elevado número de aplicações na banda ISM dos 433 MHz. Das variadíssimas aplicações, destacam-se os sistemas remotos de medida de consumo de água, electricidade e gás, comando de portões de garagem, sistemas de distribuição interna de sinais áudio e ligações de dados de uso genérico. A grande maioria destas aplicações requerem apenas um único canal unidireccional e um raio de cobertura moderado, normalmente inferior a 100 metros. A taxa de dados é relativamente baixa, $R < 10$ kbps, e utilizam esquemas de modulação simples em amplitude ou em frequência. No entanto, em todos os casos, os requisitos para os circuitos de transmissão utilizados são o reduzido espaço ocupado, baixo consumo energético e, talvez o mais importante, o seu custo de produção baixo.

A banda ISM dos 433 MHz é compatível com o tipo de aplicação a que a interface sensorial proposta se destina. De facto, esta frequência é suficientemente elevada para permitir a integração dos componentes RF do emissor. Por outro lado, e desde que a potência de saída seja inferior a 10 mW (+10 dBm), é permitido o seu uso não licenciado.

3.12 Emissor RF

A combinação de uma interface sensorial em tecnologia CMOS com um emissor de rádio-frequência integrado é de facto um grande contributo na monitorização remota. Dispositivos deste género permitem a substituição de sensores que utilizam cablagem, com as inerentes vantagens anteriormente referidas.

A utilização da banda ISM dos 433 MHz como canal de comunicações unidireccional, e a utilização de um esquema de modulação digital ASK, é uma combinação que favorece uma ocupação de espaço menor, simplicidade na implementação de um receptor, bem como a redução dos níveis de consumo para operar nesta banda, comparativamente com a utilização de frequências superiores.

Na figura 3.27, ilustra-se o diagrama de blocos do emissor RF proposto. A obtenção da frequência da portadora é realizada através de um sintetizador de

frequência, baseado numa *PLL* (*Phase-Locked Loop*) na sua configuração clássica. Pelo facto de se utilizar um esquema de modulação ASK, é apenas necessário sintetizar uma única frequência, pelo que o ramo de realimentação da PLL fica reduzido a um divisor de frequência do tipo inteiro. Recorrendo a um oscilador baseado num cristal de quartzo de 13,56 MHz, a frequência de operação resulta da multiplicação deste valor por 32.

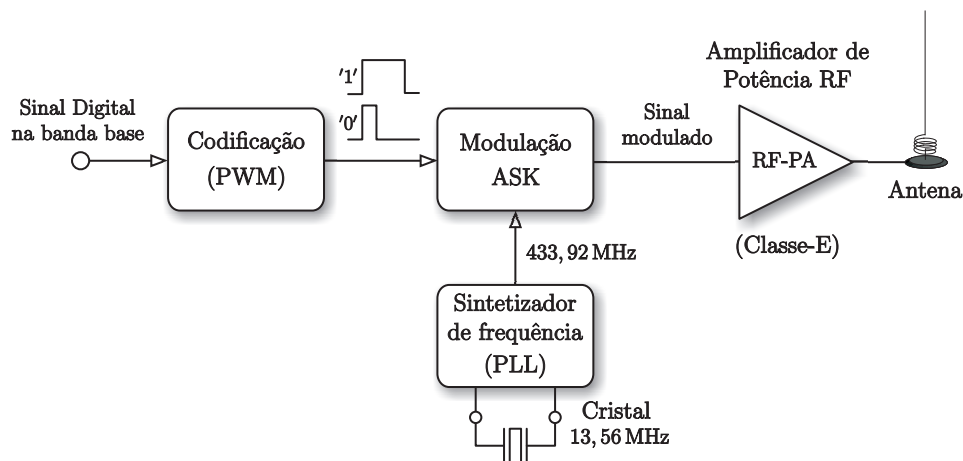


Figura 3.27 – Diagrama de blocos do emissor RF proposto.

A utilização da modulação ASK leva a que o nível lógico ‘0’ seja caracterizado pela ausência da portadora, não sendo possível distinguir este nível lógico da ausência de transmissão. Por forma a resolver este problema, o sinal digital é previamente codificado em duas larguras de impulso distintas, correspondendo a 25 % e 75 % da duração de um bit do sinal digital de informação, respectivamente. Esta codificação é realizada apenas durante o tempo necessário para transmitir uma trama de dados.

A modulação ASK é neste caso realizada de um modo muito simples com uma porta lógica do tipo NAND, em que numa das suas entradas é aplicado o sinal da portadora e na outra o sinal de informação.

Dado que na classe de operação E o valor da potência de saída é dependente da tensão de alimentação e da resistência de carga, que normalmente não é igual à impedância da antena, o amplificador está dotado de uma rede de transformação de impedâncias. No final do capítulo seguinte é apresentada a sua implementação prática.

4

Implementação da Micro-Interface Sensorial

Neste capítulo abordam-se todos os blocos que constituem a interface sensorial, descrevendo-se os circuitos utilizados e as opções tomadas durante o processo de desenho do *layout*. No decorrer das várias matérias, são igualmente apresentadas algumas simulações.

A micro-interface sensorial sem fios com conversão A/D e suporte de transmissão de dados foi implementada no processo CMOS *Alcatel—Mietec Semiconductor* 0.7 μm (AMI C07M-A, N—WELL/ 2M/ 1P/ PDIFFC/ HIPOR). É um processo misto, derivado de um totalmente digital com duas camadas de metal (2M) e uma de polissilício (1P), e extendido com camadas específicas de um processo analógico, como sejam as camadas de óxido fino (PDIFFC), adequado à implementação de condensadores de elevada linearidade e precisão, e a de polissilício de elevada resistividade (HIPOR), para implementação de resistências de elevado valor óhmico.

Um dos principais objectivos desta implementação é a integração de um modulador $\Delta\Sigma$ de segunda ordem, utilizando técnicas de condensadores comutados, com um desempenho equivalente a 16 bits de resolução, alimentado por uma tensão de 5 V. Além deste, pretende-se ainda verificar a funcionalidade do suporte de comunicações sem fios, a operar na frequência de 433,92 MHz, com uma potência máxima de saída de +10 dBm. Por forma a validar o subsistema de transmissão de dados, a

sequência binária de saída do modulador é decimada por um contador (filtro digital de primeira ordem), cuja contagem é processada por um circuito de deslocamento paralelo/série, codificada em largura de impulso e modulada em ASK antes de ser emitida. A esta trama são adicionados campos de controlo, que permitem sincronizar o receptor e fornecem um mecanismo simples de detecção de erro.

As ferramentas utilizadas na edição de todos os esquemáticos, *layout* e simulação SPICE pertencem a um pacote integrado da TANNERTOOLS, nomeadamente o S-EDIT (v.6.04) para os esquemáticos, T-SPICE PRO (v.6.04) para simulação e L-EDIT PRO (v.8.22) para o desenho do *layout*.

4.1 Arquitectura da micro-interface sensorial

O diagrama funcional da micro-interface está representado na figura 4.1, onde também se apresenta a disposição dos vários blocos constituintes.

As entradas do modulador $\Delta\Sigma$ consistem no sinal analógico de entrada diferencial ($V_{IN}(+)$ e $V_{IN}(-)$), na entrada de sinal de relógio (CLK_{IN}), nas tensões de referência ($V_{REF}(+)$ e $V_{REF}(-)$) e na tensão em modo comum (V_{CM}), a mesma tanto para a entrada como para os amplificadores operacionais totalmente diferenciais. A saída binária *Bitstream* está acessível para o exterior, para posterior análise do desempenho do modulador. Internamente, esta sequência é aplicada a um contador que executa uma função simples de filtragem digital e decimação. O resultado da contagem, juntamente com alguns campos de controlo, compõem uma trama que é posteriormente codificada em largura de impulso. Após este processamento digital, a trama modula a portadora de 433,92 MHz em ASK sendo esta aplicada a um transistor que funciona como elemento activo de um amplificador RF a operar em classe E. A correspondente rede de carga, bem como a antena, são colocadas no exterior, de modo a permitir o seu ajuste óptimo.

A frequência da portadora, sintetizada por uma PLL, deriva de um oscilador a cristal de 13,56 MHz, cujo valor foi escolhido para simplificar a implementação da PLL. Este mesmo oscilador é também utilizado para gerar a frequência de amostragem do modulador (disponível em CLK_{OUT} , ligado externamente a CLK_{IN}), bem

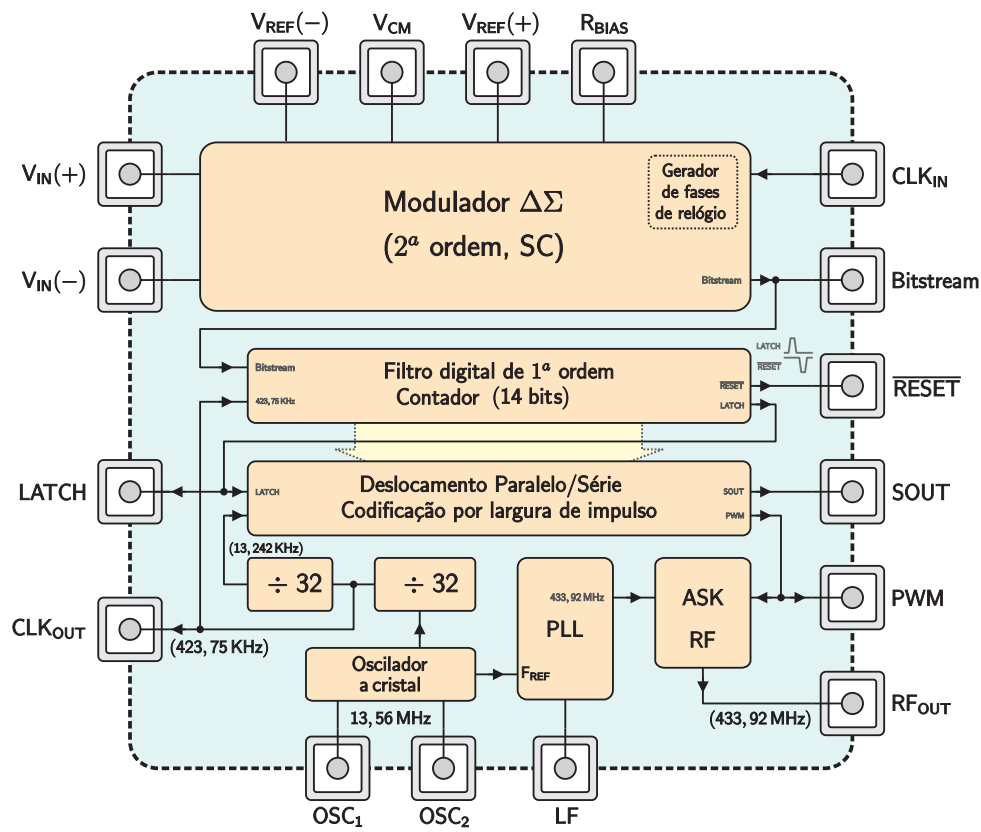


Figura 4.1 – Diagrama de blocos da interface sensorial proposta.

como para gerar um sinal que controla a taxa de dados utilizada na transmissão. Os sinais de $\overline{\text{RESET}}$, SOUT, PWM e LATCH apenas servem o propósito de teste e verificação de funcionamento do circuito, e o seu significado ficará claro ao longo deste capítulo.

4.2 Arquitectura do modulador $\Delta\Sigma$

Tal como referido no segundo capítulo, o modulador de segunda ordem é implementado numa arquitectura totalmente diferencial, utilizando técnicas de condensadores comutados. Apesar do aumento da complexidade e da área de *layout* ocupada, inerentes à estrutura diferencial, esta proporciona grandes vantagens, como sejam a atenuação do ruído presente na alimentação, interferências em modo comum, injeção de carga e distorção harmónica de ordem par. Adicionalmente, a estrutura diferencial duplica a gama dinâmica do modulador. Para uma gama dinâmica equivalente a 16 bits, a taxa de sobreamostragem mínima é de 153. Para sinais de frequência máxima de 500 Hz e taxa de sobreamostragem $M = 256$, a frequência de amostragem requerida é de 256 KHz. Esta frequência é obtida através da divisão por 32 da frequência de 13,56 MHz proveniente do oscilador a cristal. O valor resultante de 423,75 KHz é superior ao mínimo, o que dá margem suficiente para acomodar todos os erros menores não quantificados.

4.2.1 Operação do modulador

Na figura 4.2 ilustra-se o circuito do modulador. A sua operação é controlada pelas fases do relógio de frequência f_s . Durante a primeira fase, que corresponde aos interruptores assinalados por ϕ_1 e ϕ_{1d} , o primeiro integrador amostra a tensão de entrada nos condensadores C_{A1} . O segundo integrador amostra a tensão à saída do primeiro em C_{B1} bem como a tensão proveniente do conversor D/A em C_{B3} . Na segunda fase, e após a abertura dos interruptores ϕ_1 e ϕ_{1d} , os interruptores ϕ_2 e ϕ_{2d} fecham, permitindo transferir a carga armazenada em C_{A1} para C_{A2} , e de C_{B1} e C_{B3} para C_{B2} . Durante esta fase do relógio, o fecho dos interruptores ϕ_2 e ϕ_{2d} permite subtrair a saída do conversor D/A da entrada de cada integrador. A quantificação de 1 bit, realizada pelo comparador, é feita durante a fase ϕ_1 .

A relação entre os condensadores de amostragem e de integração, $g_1 = g'_1 = C_{A1}/C_{A2} = 0,25$ e $g_2 = C_{B1}/C_{B2} = 0,5$, definem os ganhos de 0,25 e 0,5 nas entradas do primeiro e segundo integradores, respectivamente. A relação $g'_2 = C_{B3}/C_{B2} = 0,25$ define o ganho de realimentação ao segundo integrador.

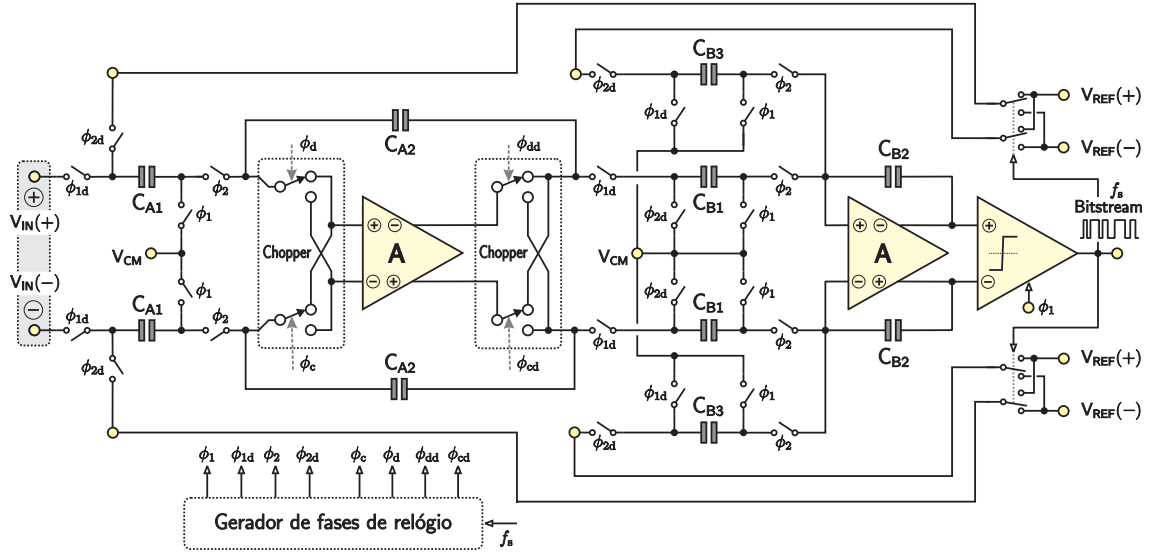


Figura 4.2 – Modulador $\Delta\Sigma$ de segunda ordem com condensadores comutados.

Com estes valores de ganho, a excursão da tensão de saída dos integradores coincide com o valor da tensão de referência [42], evitando-se deste modo a saturação do quantificador.

Sendo o amplificador do primeiro integrador o elemento mais importante do modulador, o seu ruído térmico e o seu ruído de *flicker* contribuem em grande parte para o nível total de ruído presente à saída do modulador, uma vez que não é modulado pela sua função de transferência de ruído. Para minimizar o ruído $1/f$, o desvio e a deriva do amplificador do primeiro integrador, incluiu-se um circuito de estabilização por *chopper*¹, que será abordado posteriormente. O segundo integrador é composto por dois ramos distintos, de forma a diferenciar os ganhos g_2 e g_3 .

Gerador de fases de relógio

O accionamento dos interruptores utilizados nos integradores é realizado em duas fases de relógio não sobrepostas, ϕ_1 e ϕ_2 , que correspondem às fases de amostragem e de integração, respectivamente. De modo a evitar injeção de carga dependente da amplitude do sinal por parte dos interruptores, são também utilizadas as suas versões ligeiramente atrasadas, ϕ_{1d} e ϕ_{2d} . Durante o período em todos estes sinais

¹Opta-se por não traduzir este termo, dado que desvirtualiza o seu significado.

estão no nível baixo, o que corresponde a todos os interruptores estarem abertos, o *chopper* é comutado.

O circuito responsável por gerar as formas de onda de relógio, bem como os sinais que controlam o funcionamento do *chopper*, está ilustrado na figura 4.3.

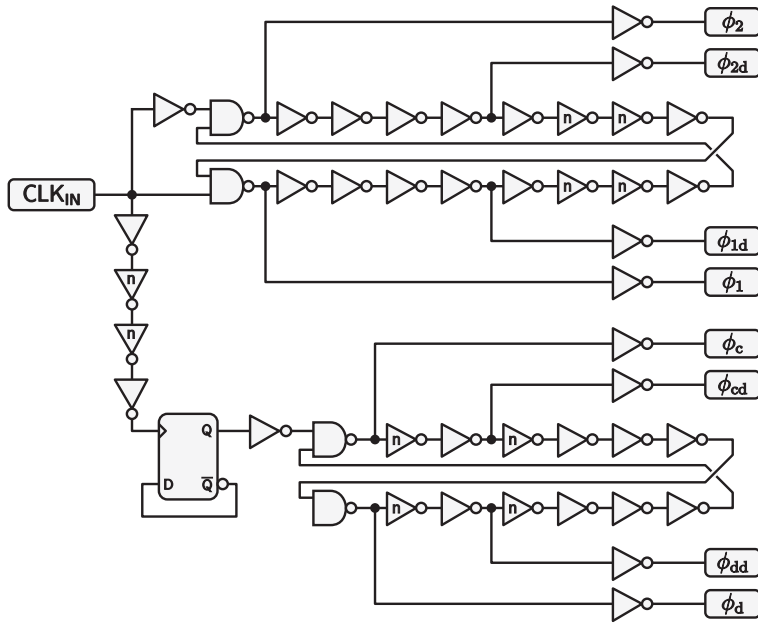


Figura 4.3 – Circuito do gerador de fases de relógio.

A parte superior destina-se a gerar fases de relógio, ϕ_1 e ϕ_2 , ϕ_{1d} e ϕ_{2d} . Na parte inferior do circuito, são geradas as fases que controlam a operação do *chopper*, ϕ_c e ϕ_d , e as respectivas versões atrasadas, ϕ_{cd} e ϕ_{dd} . Os inversores identificados pela letra ‘n’ impõem um atraso maior. As formas de onda destes sinais estão representadas na figura 4.4, que corresponde a uma simulação, extraída do *layout*, destinada a ilustrar os seus detalhes.

Interruptores MOS

Os interruptores utilizados em todo o modulador foram implementados por um par complementar, vulgarmente designado na literatura anglo-saxónica por *Transmission Gate* (TG), preterindo-se a solução baseada em interruptores NMOS. A utilização de uma TG, embora exija uma área maior, apresenta a vantagem de o interruptor ser caracterizado por uma maior linearidade da resistência em condução

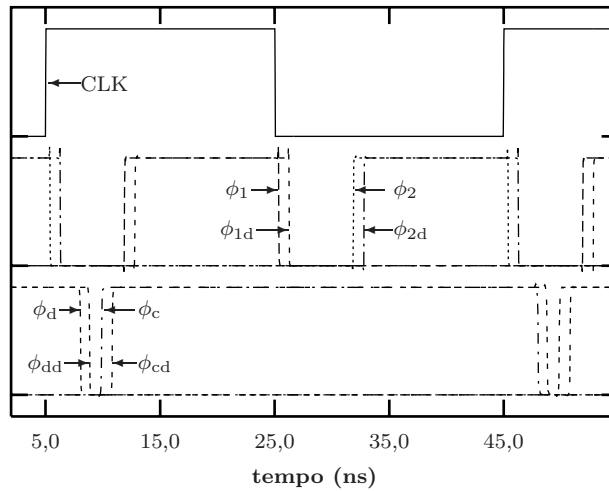


Figura 4.4 – Formas de onda das fases de relógio.

para toda a gama de tensões do sinal comutado. Como a operação de uma TG requer sinais de comando complementares, optou-se por incluir um inversor junto à TG (realizado com transístores de dimensões mínimas), reduzindo-se, deste modo, o número de linhas entre estas e o circuito que gera as fases de relógio. O circuito da TG encontra-se ilustrado na figura 4.5 e as dimensões dos seus transístores listada na tabela 4.1.

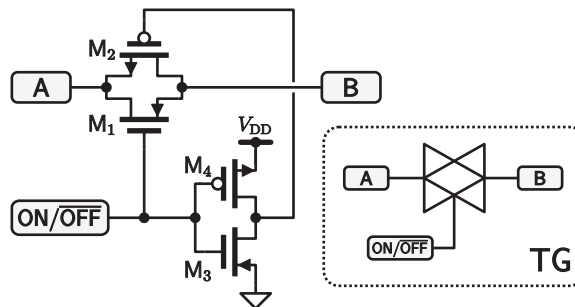


Figura 4.5 – Circuito e simbologia da *transmission gate* utilizada no modulador.

Condensadores

A determinação do valor dos condensadores a utilizar no modulador deriva das considerações tecidas em relação à gama dinâmica pretendida. O valor da gama dinâmica que é possível obter é estimada em função da potência total do ruído,

Tabela 4.1 – Dimensões (W/L) dos transístores da *transmission gate*.

Transístor	Tipo	Dimensões W/L ($\mu\text{m}/\mu\text{m}$)
M ₁	NMOS	4,4/0,7
M ₂	PMOS	13,2/0,7
M ₃	NMOS	2,2/0,7
M ₄	PMOS	2,2/0,7

$P_{n,\text{tot}}$, contido na largura de banda do sinal, ou seja:

$$DR = \frac{V_{\text{REF}}^2/2}{P_{n,\text{tot}}} \quad (4.1)$$

onde V_{REF} é a tensão de referência do modulador que determina a excursão máxima do sinal de entrada. Embora a potência total de ruído seja a soma de inúmeras parcelas, esta pode ser considerada como a soma das parcelas dominantes:

$$P_{n,\text{tot}} \cong P_Q + P_{\text{th}} + P_{\text{st}} \quad (4.2)$$

onde P_Q é a potência do ruído de quantificação, P_{th} a potência do ruído térmico, e P_{st} o ruído causado pelo estabelecimento incompleto do integrador. Considerando que este último pode ser controlado e, deste modo, ser considerado desprezável, a gama dinâmica pode então ser estimada por:

$$DR \cong \frac{V_{\text{REF}}^2/2}{P_Q + P_{\text{th}}} \quad (4.3)$$

Para um modulador de segunda ordem, taxa de sobreamostragem $M = 256$ e tensão de referência $V_{\text{REF}} = 1 \text{ V}$, a potência do ruído de quantificação² vale:

$$P_Q(\text{dB}) = \frac{(2 V_{\text{REF}})^2}{12} \frac{\pi^4}{5 M^5} = -112,28 \text{ dB} \quad (4.4)$$

Para uma gama dinâmica superior a 98 dB, determina-se por (4.3) a potência máxima do ruído térmico como sendo $-101,3 \text{ dB}$. O ruído térmico introduzido pela resistência não nula dos interruptores determina o valor mínimo do condensador de

²Valor referido à potência de um sinal à entrada de excursão máxima, que coincide com ao valor da tensão de referência. Os valores de potência são apresentados em dB dado que pressupõem um patamar de ruído abaixo da potência máxima do sinal na sua banda base.

amostragem, que deve ser suficientemente elevado para limitar, na banda de interesse, este ruído. Assim, para o nível de ruído térmico calculado, o valor mínimo do condensador à entrada do primeiro integrador é calculado como:

$$C_{\min} = \frac{kT}{M P_{\text{th}}} = 0,22 \text{ pF} \quad (4.5)$$

onde T é a temperatura absoluta, k a constante de Boltzmann e M a taxa de sobreamostragem. Para minimizar a contribuição do ruído térmico, e deste modo garantir margem para as restantes fontes de ruído, escolheu-se para este condensador o valor de 3 pF. Com este, a gama dinâmica estimada aumenta para 106,46 dB.

Após a determinação do valor do condensador de amostragem do primeiro integrador, obtém-se o valor de todos os outros através dos valores de ganho definidos anteriormente. Estes valores estão listados na tabela 4.2.

Tabela 4.2 – Valores dos condensadores utilizados no modulador $\Delta\Sigma$.

Condensador	Valor (pF)
C_{A1}	3,0
C_{A2}	12,0
C_{B1}	6,0
C_{B2}	12,0
C_{B3}	3,0
Total (diferencial)	72,0

O *layout* dos condensadores está ilustrado na figura 4.6, tendo sido implementado utilizando técnicas de centro comum³ para minimizar os erros de desalinhamento das máscaras durante o processo de fabrico. Nesta figura, poderão observar-se 4 grupos de 18 pF cada (cada unidade mínima é de 1 pF), onde estão incluídos os condensadores referidos na tabela 4.2. Especificamente, cada grupo contém 1 condensador de 3 pF, 1 de 12 pF e outro de 3 pF (este último é metade de uma valor total de 6 pF). Em torno de cada unidade foram colocadas bandas de guarda por forma a

³Vulgarmente designado por *common-centroid*, esta técnica consiste na divisão de uma estrutura em unidades mais pequenas, emparelhadas de tal forma que qualquer desalinhamento $y - x$ das máscaras afecta todas as estruturas menores de igual forma.

minimizar o efeito causado pelo processo de *etching* do óxido que forma o dielétrico de cada condensador.

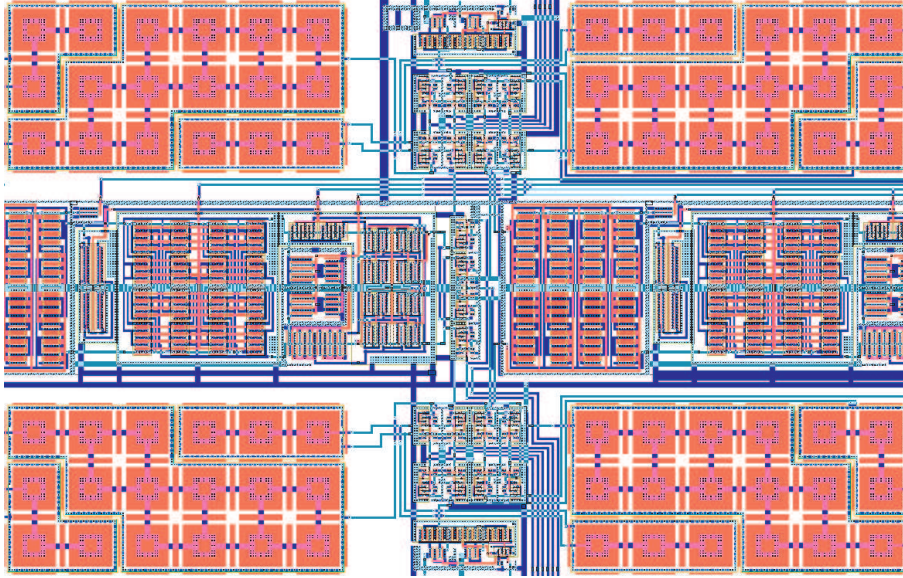


Figura 4.6 – Layout dos condensadores do modulador $\Delta\Sigma$.

Após a determinação do valor mínimo do condensador de entrada do primeiro integrador, é agora possível determinar a transcondutância dos transístores de entrada do amplificador. Na figura 4.7(a) representa-se um integrador SC e na figura 4.7(b) o seu modelo equivalente durante a fase de integração (ϕ_2), onde C_S representa a capacidade de entrada, C_{int} a capacidade de integração, C_{out} a capacidade de saída do integrador e C_P a capacidade parasita da entrada do amplificador.

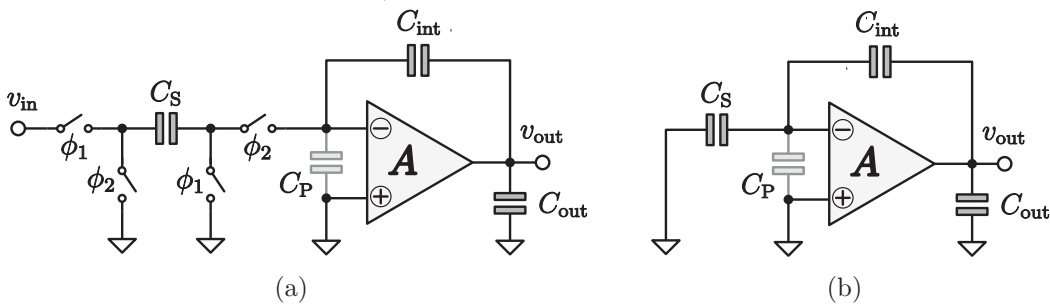


Figura 4.7 – (a) Integrador SC (b) Circuito equivalente durante a fase de integração.

A carga capacitiva equivalente, C_{eq} , do amplificador é determinada pelo princípio

de conservação de carga como sendo:

$$C_{eq} = (C_S + C_P) + C_{out} \left[1 + \frac{C_S + C_P}{C_{int}} \right] \quad (4.6)$$

A expressão obtida em (4.6) indica que, durante a fase de integração, a carga do amplificador operacional é dominada pelas capacidade de entrada C_S e pela capacidade de entrada do amplificador C_P , dado que, nesta fase, $C_S \gg C_{out}$. Com esta consideração, o produto ganho-largura de banda do amplificador, aproximado por $g_m/(2\pi C_{eq})$, deverá ser suficientemente elevado para permitir o correcto estabelecimento das tensões à saída do integrador. Normalmente, a escolha é:

$$g_m/(2\pi C_{eq}) > 5f_s \quad (4.7)$$

onde f_s é a frequência de amostragem e g_m é a transcondutância do amplificador. Esta expressão permite estimar a transcondutância mínima requerida para o amplificador. Assumindo que $C_S \approx C_P$,⁴ o que resulta em $C_{eq} \approx 6\text{ pF}$, e para $f_s = 423,75\text{ KHz}$, o valor mínimo de transcondutância é de aproximadamente $80\text{ }\mu\text{A/V}$.

4.2.2 Amplificador operacional

O amplificador operacional utilizado nos integradores é um dos elementos mais críticos do modulador. A escolha de uma determinada topologia, bem como a determinação dos valores de todos os seus componentes, envolve cálculos e simulações que visam obter uma elevada velocidade de operação e um ganho suficiente. Nos moduladores $\Delta\Sigma$ se o amplificador é suficientemente rápido (ou seja, o seu tempo de estabelecimento é uma pequena fracção do período de amostragem) e é utilizada uma elevada taxa de sobreamostragem, então pode-se permitir que a sua saída se estabeleça completamente. Normalmente, a sua largura de banda para ganho unitário deve ser de pelo menos cinco vezes a frequência de amostragem. O amplificador deve também possuir um ganho razoável em malha aberta para baixas frequências, por forma a que a sua distorção harmónica seja minimizada. Sendo o modulador

⁴Admite-se, nesta fase, que a capacidade apresentada pelos transístores de entrada do amplificador pode ser da mesma ordem de grandeza que C_S .

$\Delta\Sigma$ implementado com técnicas de condensadores comutados, a carga capacitiva dos amplificadores possibilita a sua realização utilizando à saída nós de alta impedância, mantendo os nós internos com uma impedância relativamente baixa, maximizando a velocidade de operação. Esta é uma vantagem importante, dado que desta forma não são necessários *buffers* para obter impedâncias de saída reduzidas e, além disso, obtêm-se excursões de sinal mais amplas.

Um topologia que preenche estes requisitos é a denominada *Folded-Cascode*, estando ilustrada na figura 4.8 a sua configuração diferencial.

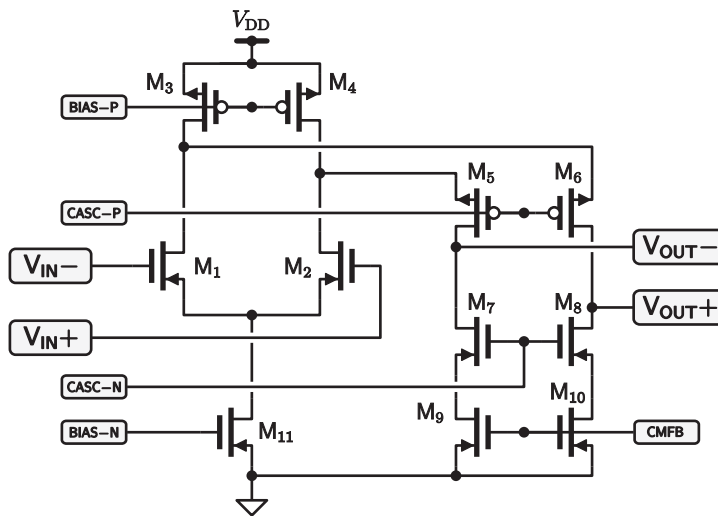


Figura 4.8 – Circuito do amplificador operacional.

O conceito básico por detrás desta topologia de amplificação é aplicar transístores *cascode* ao par diferencial de entrada, mas de tipo oposto aos utilizados no estágio de entrada. No caso da figura 4.8, os transístores M_1 e M_2 do par diferencial são do tipo NMOS, enquanto que os transístores *cascode* (M_5 e M_6) são do tipo PMOS, polarizados pela tensão CASC-P. Nesta topologia, a largura de banda é de pólo dominante, pelo que a compensação é normalmente feita pela própria capacidade da carga.

Após a selecção da topologia do amplificador operacional, é necessário tecer algumas considerações relativas à escolha do tipo de transístores a usar no par diferencial de entrada. Transístores NMOS (*cascode* PMOS) apresentam um maior valor de transcondutância e, conseqüentemente, um ganho DC maior. Além disso,

têm também a vantagem de gerarem um ruído térmico menor.

Por outro lado, um par diferencial PMOS (*cascode* NMOS) maximiza a frequência dos pólos não dominantes, resultando num amplificador com maior largura de banda. Tem a vantagem de um menor ruído de *flicker*. No entanto, o ganho DC é menor devido à menor transcondutância, quando comparados com transístores NMOS com as mesmas dimensões e corrente, e o ruído térmico é também maior, contribuindo para aumentar ainda mais a potência total do ruído à saída do modulador.

A utilização de um *chopper* no primeiro amplificador, com vista a minimizar o ruído de *flicker*, e o facto de um par NMOS produzir um menor ruído térmico, justificam a escolha de um par diferencial NMOS.

O par PMOS M_3 e M_4 e o transístor M_{11} , polarizados pelas respectivas tensões BIAS-P e BIAS-N, constituem as fontes de corrente de polarização do par de entrada, enquanto que o par M_7 e M_8 forma uma carga activa.

O ganho do amplificador operacional é calculado utilizando o modelo simplificado para pequenos sinais, representado na figura 4.9.

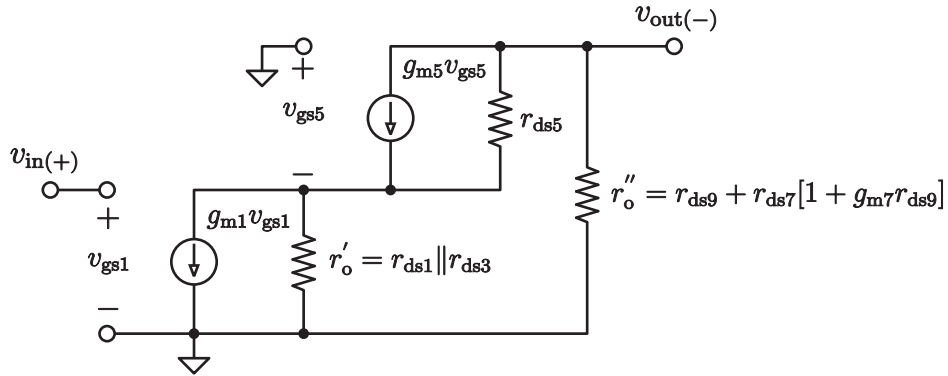


Figura 4.9 – Modelo para pequenos sinais do amplificador da figura 4.8 (apenas metade do circuito).

Pela análise do modelo, o ganho em tensão é determinado por:

$$A_V = \frac{v_{out}}{v_{in}} = -g_{m1} \frac{r'_o r''_o (1 + g_{m5} r_{ds5})}{r_{ds5} + r''_o + r'_o (1 + g_{m5} r_{ds5})} \quad (4.8)$$

onde r'_o e r''_o foram definidos na figura 4.9. Pode-se deste modo concluir que o ganho é directamente proporcional à transcondutância do estágio de entrada (g_{m1})

e a constante de proporcionalidade é aproximadamente a resistência de saída do amplificador, dada por:

$$r_{\text{out}} = r_o'' \parallel [r_o'(1 + g_{m5}r_{ds5})]. \quad (4.9)$$

É de realçar que a resistência de saída é dada por um paralelo, pelo que a menor das duas componentes domina (embora cada uma delas seja elevada, devido à utilização do par *cascade*). O ganho do amplificador pode então ser escrito como:

$$A_V \approx -g_{m1}r_{\text{out}} \quad (4.10)$$

onde se verifica que as duas formas de aumentar o ganho é aumentar a transcondutância do estágio de entrada ou aumentar a resistência de saída, através do aumento da transcondutância g_{m5} , dentro do limites que esta vantagem proporciona.

Uma outra vantagem desta topologia é dispensar compensação através de uma capacidade de Miller, visto que este amplificador é compensado pela capacidade presente no nó de saída.

Para médias e altas frequências a capacidade da carga C_L domina, e a largura de banda do amplificador para ganho unitário é determinada pela relação entre a transcondutância do transístor de entrada e C_L , numa resposta de pólo simples dominante, ou seja:

$$\omega_t \approx \frac{g_{m1}}{C_L} \quad (4.11)$$

A análise da equação (4.11) sugere que o amplificador pode ser arbitrariamente rápido através do aumento da largura e da corrente de polarização dos transístores do par de entrada, por forma a aumentar a sua transcondutância. No entanto, e por forma a garantir a estabilidade, todos os pólos não dominantes devem ocorrer a frequências superiores à do pólo dominante. Assim, a velocidade do amplificador é limitada pela localização do pólo dominante, determinada pela relação entre a transcondutância do transístor *cascade* e a capacidade total na sua *source*, ou seja, g_{m5}/C_{s10} .

Correntes de polarização do amplificador

A escolha das correntes que polarizam os transístores do amplificador é feita tendo em consideração o tempo de estabelecimento da sua saída. Para uma frequência de amostragem de 423,75 KHz, o tempo disponível para a fase de integração (ϕ_2) é de aproximadamente $1,2 \mu\text{s}$, pelo que a saída do amplificador deverá atingir o seu valor final neste tempo.

Torna-se pois necessário fornecer uma corrente de saída que permita o cumprimento deste tempo de estabelecimento, tendo em consideração a capacidade equivalente da saída do amplificador. Admitindo uma taxa de variação (SR) de $5 \text{ V}/\mu\text{s}$, a corrente de saída mínima é calculada (admitindo $C_{\text{eq}} = 10 \text{ pF}$) como:

$$\text{SR} = \frac{i_{\text{out}}}{C_{\text{eq}}} \Rightarrow i_{\text{out}} = (10 \text{ pF}) (5 \text{ V}/\mu\text{s}) = 50 \mu\text{A} \quad (4.12)$$

pelo que se escolheu um valor superior, $80 \mu\text{A}$. Com este valor é agora possível escolher todas as outras. Escolhendo correntes idênticas para o par diferencial de entrada e para o par *cascode*, as correntes de polarização ficam todas determinadas pelas seguintes relações:

$$\begin{aligned} i_9 &= i_{10} = i_7 = i_5 = i_8 = i_6 = i_2 = i_1 = 80 \mu\text{A} \\ i_3 &= i_4 = i_{11} = 160 \mu\text{A} \end{aligned}$$

As dimensões (W/L) dos transístores utilizados no amplificador operacional encontram-se listadas na tabela 4.3. Por forma a minimizar o desvio aleatório⁵, os transístores de entrada e os transístores *cascode* foram realizados com dimensões suficientemente elevadas para minimizar as variações no comprimento e largura $\Delta L/L$ e $\Delta W/W$, respectivamente.

⁵Termo vulgarmente referido por *random offset*, que é provocado pelo desalinhamento não controlado das máscaras durante o processo de fabrico.

Tabela 4.3 – Dimensões (W/L) dos transístores do amplificador operacional.

Transístor	Tipo	Dimensões W/L ($\mu\text{m}/\mu\text{m}$)
M_1, M_2	NMOS	457, 6/4, 4
M_3, M_4	PMOS	70, 4/1, 1
M_5, M_6	PMOS	387, 2/3, 2
M_7, M_8	NMOS	76, 1/2, 1
M_9, M_{10}	NMOS	47, 2/1, 4
M_{11}	NMOS	35, 2/1, 1

Realimentação em modo comum

No circuito da figura 4.8, a tensão de polarização do par composto por M_9 e M_{10} não é proveniente do circuito de polarização mas sim de um circuito de realimentação de modo comum, designado na literatura anglo-saxónica por *common-mode feedback circuitry* (CMFB).

A desvantagens da utilização de amplificadores totalmente diferenciais reside na necessidade de estabelecer a tensão de saída em modo comum. Idealmente, este tipo de circuito mantém esta tensão inalterável, preferencialmente a meio do valor da tensão de alimentação, mesmo quando sinais diferenciais de elevada amplitude estão presentes à saída. Sem o circuito de CMFB, a tensão em modo comum flutua, já que o ganho em modo comum do amplificador é incapaz de o controlar. Na figura 4.10 ilustra-se o topologia adoptada para a implementação da realimentação em modo comum.

No circuito da figura 4.10, a tensão BIAS-P provoca a circulação de corrente nos pares diferenciais M_{C1}/M_{C2} e M_{C3}/M_{C4} . A estes é também aplicada a tensão que estabelece o valor em modo comum da saída do amplificador. A utilização destes pares diferenciais leva a que qualquer desequilíbrio entre as tensões $V_{OUT(-)}/V_{OUT(+)}$ e V_{CM} gere uma acção correctiva na carga activa do amplificador, modulando as correntes em M_9 e em M_{10} através de M_{C5} , corrigindo a tensão de saída em modo comum. Deste modo, as excursões das tensões $V_{OUT(-)}$ e $V_{OUT(+)}$ tornam-se simétricas em relação ao valor da tensão em modo comum, V_{CM} .

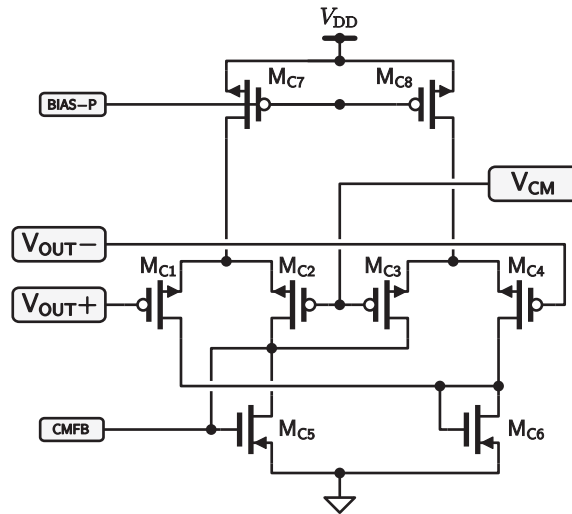


Figura 4.10 – Circuito de realimentação em modo comum CMFB.

Tabela 4.4 – Dimensões (W/L) dos transístores do circuito CMFB.

Transístor	Tipo	Dimensões W/L ($\mu\text{m}/\mu\text{m}$)
$M_{C1}, M_{C2}, M_{C3}, M_{C4}$	PMOS	65,2/0,7
M_{C5}, M_{C6}	NMOS	102,0/1,4
M_{C7}, M_{C8}	PMOS	70,4/1,1

Circuito de polarização

Um dos aspectos fundamentais na polarização de um amplificador consiste na selecção apropriada de um espelho de corrente. Estes são utilizados extensivamente nas tecnologias CMOS, dado que permitem escalonar várias correntes através de uma relação de geometria dos transístores. Um dos parâmetros mais importantes num espelho de corrente, que deriva do conceito de fonte ideal de corrente, está relacionado com a sua impedância de saída, bem como o seu nível mínimo de tensão à saída que permita manter os transístores do espelho na zona de saturação.

Na figura 4.11 ilustram-se alguns dos mais conhecidos. No caso da figura 4.11(a), representa-se o espelho básico, sendo que a corrente de saída, função da corrente I_{in} , é dada por uma relação entre as geometrias (W/L) dos transístores M_1 e M_2 . Neste caso a impedância de saída é simplesmente r_{ds2} , e a tensão mínima à saída, V_{out} , é

igual à tensão de saturação de M_2 . Este valor, designado por V_{eff} (tipicamente 0,2 a 0,25 V), é determinado por $V_{\text{eff}} = V_{\text{ds2,sat}} = V_{\text{gs2}} - V_{\text{TN}}$, onde $V_{\text{ds2,sat}}$ é a tensão dreno-fonte de saturação de M_2 , V_{gs2} a tensão porta-fonte e V_{TN} a tensão de limiar de condução de um transistor NMOS (0,77 V para o processo AMI C07MA). No caso da figura 4.11(b), a inclusão de M_3 e M_4 , permite aumentar substancialmente a impedância de saída, que neste caso se torna $r_{\text{out}} = r_{\text{ds4}}(1 + r_{\text{ds2}}g_{m4}) + r_{\text{ds4}} \approx g_{m4}r_{\text{ds4}}r_{\text{ds2}} \approx g_{m4}r_{\text{ds}}^2$, onde g_{m4} é a transcondutância do transistor M_4 . A tensão mínima de funcionamento é agora $V_{\text{out,min}} \geq V_{\text{eff}} + (V_{\text{eff}} + V_{\text{TN}})$.

O circuito da figura 4.11(c) representa uma alternativa que aumenta a excursão permitida para a saída, mantendo no entanto uma elevada impedância de saída ($r_{\text{out}} \approx g_{m4}r_{\text{ds}}^2$). A mínima tensão de saída apenas necessita de ser maior do que $(n+1)V_{\text{eff}}$. Considerando n unitário (escolha usual), este espelho de corrente garante que todos os transístores se mantêm na saturação mesmo quando V_{out} cai para níveis na ordem dos 0,4V – 0,5V. Por este motivo, este espelho é vulgarmente designado por “*wide-swing cascode current mirror*”.

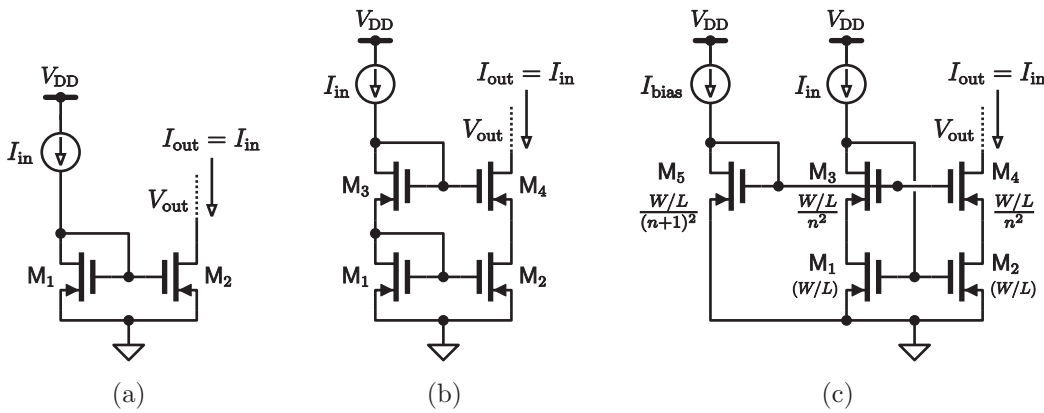


Figura 4.11 – Espelhos de corrente (a) básico, (b) *cascode* e (c) *wide-swing cascode*.

É precisamente o conceito explorado pelo circuito da figura 4.11(c), que se baseia o circuito de polarização do amplificador operacional, ilustrado na figura 4.12.

O espelho de corrente *wide-swing cascode* NMOS consiste nos transístores $M_{B1} - M_{B4}$, juntamente com M_{B5} ligado como díodo, cuja corrente de polarização deriva da malha de polarização através de M_{B10} e M_{B11} . A corrente de saída deste espelho é obtida do dreno de M_{B2} . Similarmente, o espelho PMOS é realizado por $M_{B6} - M_{B9}$,

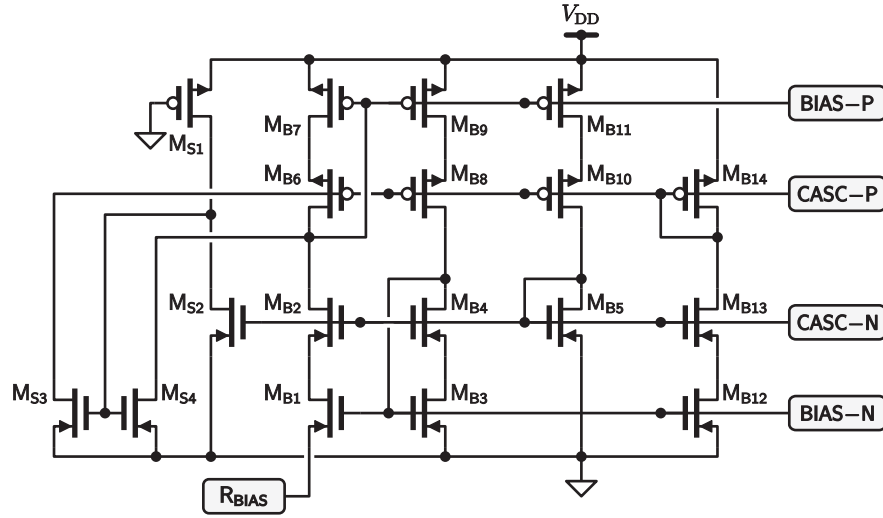


Figura 4.12 – Circuito de polarização *wide-swing constant-transconductance*.

juntamente com M_{B14} , cuja corrente de polarização deriva da malha de polarização através de M_{B12} e M_{B13} . A corrente de saída é neste caso a corrente de dreno de M_{B8} .

As transcondutâncias dos transístores são talvez os parâmetros mais importantes de um amplificador que devem ser estabilizados. Esta estabilização pode ser obtida igualando a transcondutância de um transístor à condutância de uma resistência. Como resultado, as transcondutâncias tornam-se independentes da tensão de alimentação, bem como das variações no processo de fabrico e da temperatura. Especificamente, a transcondutância do transístor M_{B3} é:

$$g_{m3} = \frac{2 \left[1 - \sqrt{\frac{(W/L)_{MB3}}{(W/L)_{MB1}}} \right]}{R_{BIAS}} \quad (4.13)$$

que, fazendo $(W/L)_{MB1} = 4(W/L)_{MB3}$, resulta na igualdade:

$$g_{m3} = \frac{1}{R_{BIAS}} \quad (4.14)$$

Como todas as correntes dos transístores derivam do mesmo circuito de polarização, estas são também estabilizadas e, para todos os transístores NMOS,

$$g_{mi} = \sqrt{\frac{(W/L)_i I_{Di}}{(W/L)_{MB3} I_{D,MB3}}} g_{m3} \quad (4.15)$$

e para todos os transístores PMOS,

$$g_{mi} = \sqrt{\frac{\mu_p}{\mu_n} \frac{(W/L)_i I_{Di}}{(W/L)_{MB3} I_{D,MB3}}} g_{m3} \quad (4.16)$$

É por este motivo que este tipo de circuito de polarização é denominado polarização de transcondutância constante, sendo designado na literatura anglo-saxónica por “*wide-swing constant-transconductance bias circuit*”. No entanto, este circuito é caracterizado pela possibilidade de, no arranque, todos os transístores serem percorridos por uma corrente nula, e o circuito de polarização se manter neste estado estável. Deste modo é necessário incluir um circuito de arranque ($M_{S1} - M_{S4}$), que injecta corrente na malha de polarização enquanto as correntes nesta forem zero. Após o arranque, este circuito é desabilitado através de M_{S3} e M_{S3} . Note-se que M_{S1} funciona como uma resistência, fornecendo a corrente inicial de arranque.

Na tabela 4.5 apresenta-se a listagem dos transístores utilizados no circuito de polarização. É, no entanto, de referir que os comprimentos de M_{B1} e M_{B3} devem ser ligeiramente superiores ao valor mínimo e de que os comprimentos de M_{B2} e M_{B4} devem ser superiores aos anteriores, tipicamente duas vezes o comprimento mínimo para minimizar o efeito de corpo⁶ do transístor. O mesmo se aplica aos transístores PMOS do *cascade*.

Tendo em conta os valores das correntes de polarização do amplificador, bem como as dimensões dos transístores do circuito de polarização apresentadas, a resistência R_{BIAS} é agora calculada de modo a definir uma corrente em M_{B3} de $40 \mu A$.

$$R_{BIAS} = \frac{1}{g_{m3}} = \frac{1}{\sqrt{2 KP_n (W/L)_{MB3} I_{D,MB3}}} = 4121 \Omega \quad (4.17)$$

onde KP_n é um parâmetro de transcondutância do processo, definido por $\mu_n(\epsilon_{OX}/t_{OX})$, sendo μ_n a mobilidade dos electrões num transístor NMOS, ϵ_{OX} a constante dieléctrica do óxido de silício e t_{OX} a espessura do óxido na região da porta. KP_n para o processo AMI C07M-A tem um valor de $92 \mu A/V$.

⁶Designado na literatura anglo-saxónica por *body effect*, é devido à dependência da tensão de limiar V_T com a tensão entre a fonte e o substrato. Este efeito traduz-se no aumento da tensão de limiar de um valor $\gamma(\sqrt{2\phi_p + v_{SB}} - \sqrt{\phi_p})$ onde ϕ_p ($\approx 0,3 V$) é o potencial de contacto e γ é o coeficiente de efeito de corpo que depende da densidade intrínseca de portadores.

Tabela 4.5 – Dimensões (W/L) dos transístores do circuito de polarização.

Transístor	Tipo	Dimensões W/L ($\mu\text{m}/\mu\text{m}$)
M_{B1}	NMOS	35,2/1,1
M_{B2} , M_{B4} , M_{B13}	NMOS	8,8/1,4
M_{B3} , M_{B12} , M_{S2} , M_{S3} , M_{S4}	NMOS	8,8/1,1
M_{B5}	NMOS	2,2/1,1
M_{B6} , M_{B8} , M_{B10}	PMOS	17,6/1,4
M_{B7} , M_{B9} , M_{B11}	PMOS	17,6/1,1
M_{B14}	PMOS	4,4/1,4
M_{S1}	PMOS	2,2/22,0

Características do amplificador

A figura 4.13 ilustra os diagramas de Bode do ganho e da fase do amplificador, obtidos por simulação do circuito extraído do *layout*. A tabela 4.6 resume as suas características.

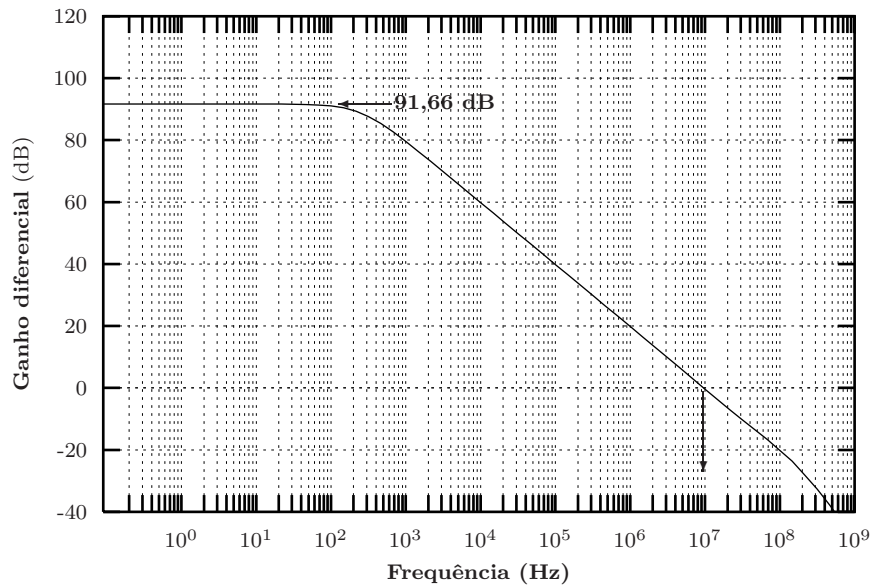
Tabela 4.6 – Características do amplificador.

Parâmetro	Valor	Unidades
Ganho DC	91,66	dB
Transcondutância	1,23	mA/V
Largura de banda ¹	9,5	MHz
Margem de fase ¹	78	°
Tensão de alimentação	5	V
Corrente máxima de saída	80	μA
<i>Slew-rate</i> ($C_L = 10 \text{ pF}$)	8	V/ μs

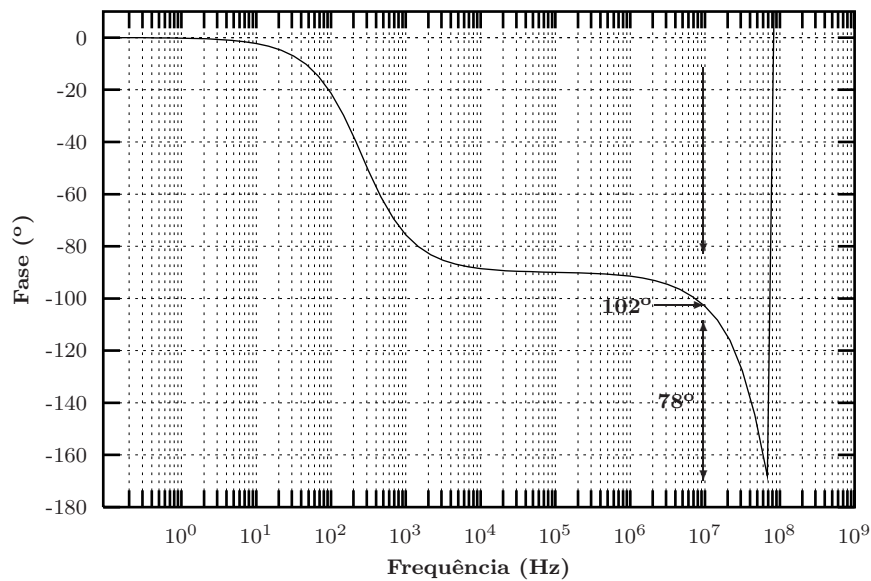
¹Simulado para uma carga $C_L = 5 \text{ pF}$

Estabilização por *chopper*

Um dos estágios mais críticos do modulador $\Delta\Sigma$ é o amplificador operacional do primeiro integrador. Dado ser este o estágio de entrada e o nível do sinal de entrada ser reduzido, o desvio, o ruído e a deriva do amplificador são as não-idealidades



(a) Diagrama de ganho



(b) Diagrama de fase

Figura 4.13 – Resposta em frequência em malha aberta do amplificador operacional.

que afectam mais significativamente o desempenho global do modulador. Uma das formas de reduzir o efeito destas não-idealidades é otimizar o emparelhamento dos transístores de entrada do amplificador. No entanto, esta medida não é suficiente para muitas aplicações. De facto, o ruído $1/f$ é uma componente que não é uniforme com a frequência e a sua distribuição espectral aumenta nas baixas frequências.

Para sinais DC ou de baixa frequência, este tipo de ruído pode ser a componente dominante.

Uma das técnicas mais populares na redução de ruído $1/f$ é a designada na literatura anglo-saxónica por *chopper stabilization* (CHS), que consiste, essencialmente, em modular o ruído $1/f$ para uma frequência substancialmente superior, por forma a não corromper o sinal na sua banda base. Isto resulta na modulação do ruído em torno dos harmónicos ímpares da frequência de comutação do *chopper*, que é posteriormente filtrado. Se esta frequência for bastante superior à largura de banda do sinal, este ruído é substancialmente reduzido pela utilização desta técnica.

A figura 4.14 ilustra a aplicação desta técnica, onde f_{chop} representa a frequência de operação do *chopper*.

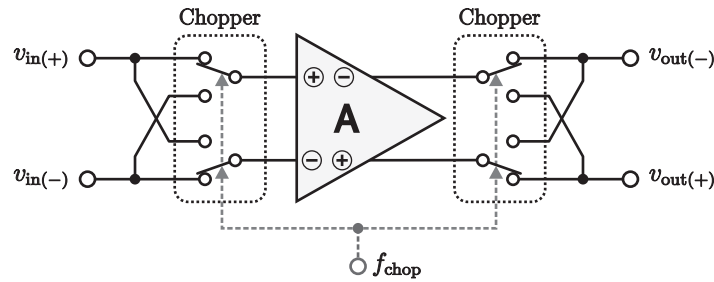


Figura 4.14 – Utilização da técnica de estabilização por *chopper* na redução das não-idealidades de um amplificador operacional.

A frequência do *chopper* é sincronizada com a frequência de amostragem (f_s) do modulador $\Delta\Sigma$, de modo a que f_{chop} e os seus harmónicos estejam entre os harmónicos de f_s . Assim, escolhendo f_{chop} como sendo metade da frequência de amostragem (bastante superior à largura de banda do sinal de entrada), leva a que os harmónicos de f_{chop} estejam dentro da banda de rejeição do filtro digital [43]. No circuito da figura 4.14, os interruptores accionados por f_{chop} realizam a função de trocarem a polaridade das entradas e das saídas do modulador, modulando efectivamente o ruído para a frequência de *chopper* [44].

Na figura 4.15 ilustra-se o circuito utilizado, bem como a constituição interna do *chopper*. Cada um é composto por quatro TG comandadas pelos sinais ϕ_c , ϕ_d , ϕ_{cd} e ϕ_{dd} , todos de frequência f_{chop} .

Estes interruptores não são accionados até que o sinal tenha sido amostrado à

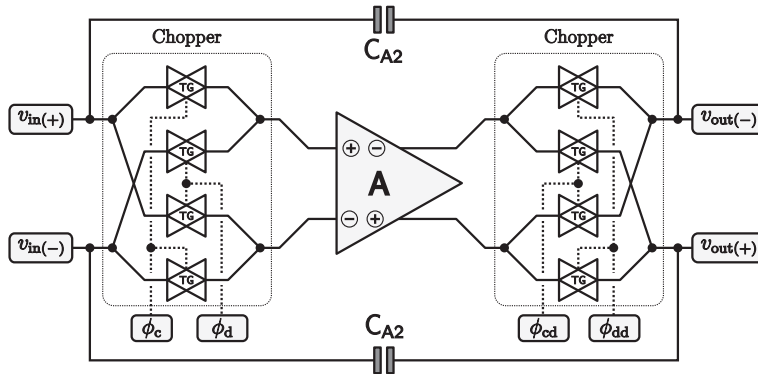


Figura 4.15 – Aplicação do *chopper* ao amplificador operacional do primeiro integrador do modulador $\Delta\Sigma$.

frequência f_s e que a saída do amplificador tenha atingido o seu valor final. Deste modo, e apesar de as frequências do *chopper* e de amostragem estarem sincronizadas, a temporização entre os sinais de comando é tal que qualquer mudança de estado dos interruptores só ocorra após a fase de amostragem, por forma a assegurar que o amplificador estabilize após qualquer operação dos restantes interruptores do circuito exterior. As versões atrasadas (ϕ_{cd} e ϕ_{dd}) dos sinais ϕ_c e ϕ_d , destinam-se a reduzir ao mínimo o efeito de injeção de carga provocado pelos interruptores utilizados nas TG, apesar da estrutura diferencial. Estes sinais são também gerados pelo circuito gerador de fases de relógio, apresentado anteriormente, e as suas formas de onda foram representadas na figura 4.4.

4.2.3 Comparador

Outro dos principais blocos de um modulador $\Delta\Sigma$ é o comparador, dado que, no caso de moduladores $\Delta\Sigma$ de 1 bit, executa a função de quantificação. A grande vantagem da utilização de um quantificador de 1 bit reside no facto de este ser inerentemente linear e, deste modo, não necessitar de um desempenho equivalente ao do modulador. Pelo facto de o comparador estar no ramo directo do modulador, as suas não-idealidades são atenuadas pela função de transferência de ruído do modulador. Assim, o desempenho do modulador é relativamente insensível ao desvio e histerese do comparador. No entanto, o seu atraso na decisão, representado por uma função atraso no ramo de realimentação, influencia o desempenho do modulador, devendo

ser o menor possível. Assim, e nesta utilização, pode-se considerar que o parâmetro dominante do comparador é o seu tempo de resposta. O circuito utilizado neste caso é baseado numa *latch* regenerativa [45], como ilustrado na figura 4.16.

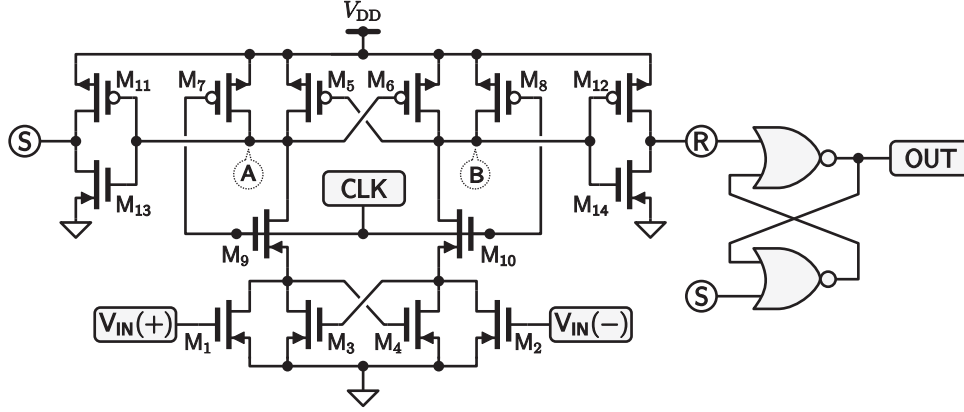


Figura 4.16 – Circuito do comparador (quantificador de 1 bit).

Neste circuito, a *latch* regenerativa é composta pelos pares M_3/M_4 e M_5/M_6 , que são comutados através dos respectivos drenos ao invés das suas fontes, de modo a eliminar efeitos de propagação inversa e a promover uma rápida regeneração. Durante a fase de *latch*, na qual o sinal de relógio (CLK) está no nível lógico ‘0’, a regeneração está desabilitada (par M_3/M_4 desligado do par M_5/M_6 , através de M_9 e M_{10}), pelo que os nós A e B são forçados ao nível lógico ‘1’ e as saídas dos inversores (R e S) a ‘0’. Quando o comparador é disparado pelo flanco ascendente de CLK, a acção regenerativa da *latch* provoca um desequilíbrio no circuito de decisão forçando as saídas a um estado determinado pelas entradas. As duas saídas do comparador são combinadas num único sinal (OUT) através da utilização de uma *latch* SR com portas lógicas NOR. Dado que neste caso o erro de desvio e de histerese não são parâmetros relevantes para o desempenho, o comparador pode ser implementado com transístores de reduzidas dimensões, tornando-o mais rápido. Na tabela 4.7 apresenta-se a listagem das dimensões dos transístores utilizados.

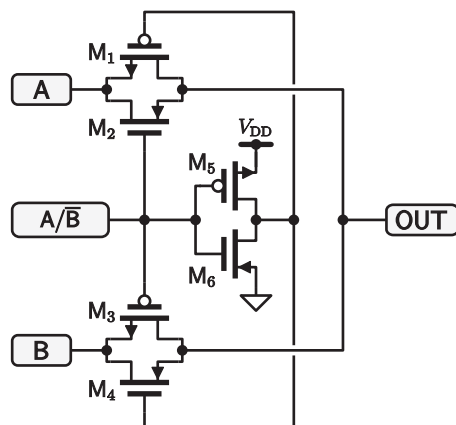
4.2.4 Conversor D/A de 1 bit

O conversor D/A utilizado no modulador está ilustrado na figura 4.17. É essencialmente um circuito de um comutador de pólo duplo, dupla acção, conhecido por

Tabela 4.7 – Dimensões (W/L) dos transístores do circuito do comparador.

Transístor	Tipo	Dimensões W/L ($\mu\text{m}/\mu\text{m}$)
M_1, M_2, M_3, M_4	NMOS	1,5/5,0
$M_9, M_{10}, M_{13}, M_{14}$	NMOS	2,2/0,7
M_5, M_6	PMOS	4,0/2,0
M_7, M_8, M_{11}, M_{12}	PMOS	2,2/0,7

double-pole, double-throw. É composto por duas TG que operam de um modo complementar, ou seja, a saída comum a ambas é comutada para a entrada A ou para a entrada B, consoante o nível lógico da entrada de comando A/\bar{B} . É responsável, juntamente com o comparador, por aplicar as tensões de referência a ambos os integradores.

**Figura 4.17** – Circuito do conversor D/A.

Na tabela 4.8 apresenta-se a listagem dos transístores utilizados no conversor D/A. Os transístores das TG têm um comprimento duplo do mínimo para melhorar o emparelhamento e reduzir a resistência em condução. Além disso, a relação entre a largura dos transístores NMOS e PMOS é a mesma da relação entre mobilidade de portadores de carga entre os dois tipos.

Tabela 4.8 – Dimensões (W/L) dos transístores do conversor D/A.

Transístor	Tipo	Dimensões W/L ($\mu\text{m}/\mu\text{m}$)
M_1, M_3	PMOS	79,2/1,4
M_2, M_4	NMOS	26,4/1,4
M_5	PMOS	13,2/0,7
M_6	NMOS	4,4/0,7

4.2.5 Simulação do modulador

Nas figuras 4.18 e 4.19 ilustram-se os resultados de duas simulações que visaram verificar a operação do primeiro integrador. Na figura 4.18, a forma de onda na parte superior representa a fase de relógio ϕ_1 e, na parte inferior, a saída diferencial do primeiro integrador, $v_{\text{od,int1}}$. O sinal aplicado foi uma tensão constante de valor 0,0625 V (diferencial), que foi sucessivamente integrada com ganho de 0,25, determinado pela relação de condensadores C_{A1}/C_{A2} .

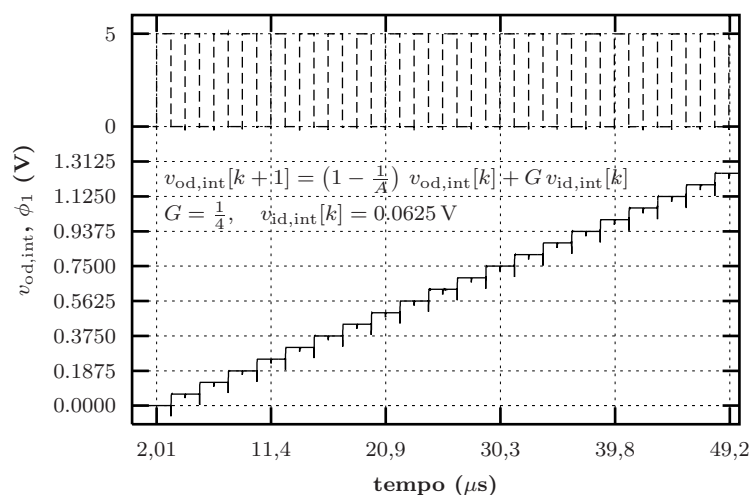


Figura 4.18 – Simulação da resposta transitória do primeiro integrador.

Como se observa, o erro causado pelo ganho finito do integrador (A) é extremamente reduzido, não influenciando o valor final da saída, mesmo após 20 integrações

sucessivas. A injeção de carga, provocada pela operação dos interruptores, é independente da amplitude do sinal, como se observa pela amplitude constante dos transitórios resultantes da comutação. Na figura 4.19 apresenta-se em detalhe a mesma forma de onda, onde se poderá observar o estabelecimento completo da tensão de saída do integrador. Na figura 4.20 apresenta-se o resultado de uma simulação do

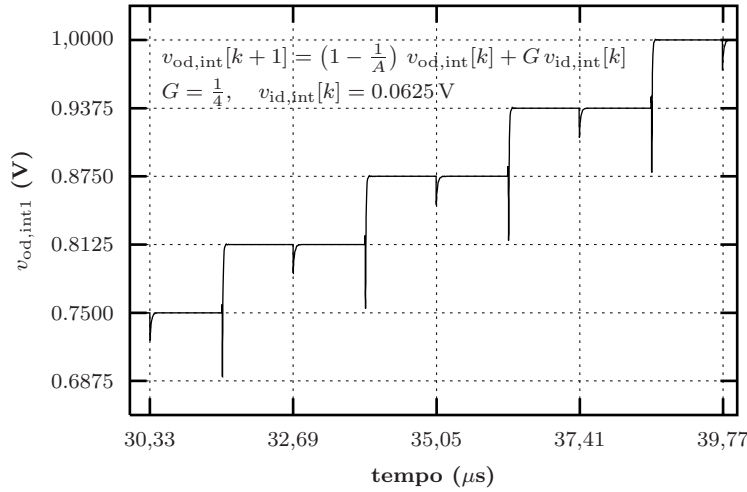


Figura 4.19 – Detalhe da saída diferencial do integrador.

modulador $\Delta\Sigma$, cujo circuito eléctrico foi obtido por extracção do *layout*. Neste exemplo, a tensão de referência foi de 1 V (diferencial) e a amplitude do sinal de entrada, de frequência 500 Hz, foi também de 1 V.

4.2.6 *Layout* do modulador

Na figura 4.21 ilustra-se o *layout* do modulador implementado, realizado manualmente por forma a aplicar algumas regras práticas de desenho que permitam obter uma maior simetria dos blocos constituintes e otimizar o seu desempenho.

Como se poderá verificar, o *layout* é totalmente simétrico em relação à linha longitudinal no centro do modulador. Para minimizar interferências causadas pelos circuitos digitais e de rádio-frequência, colocados na diagonal oposta à entrada analógica do modulador, foram colocadas diversas zonas de difusão *n-well* para promover o isolamento através do substrato.

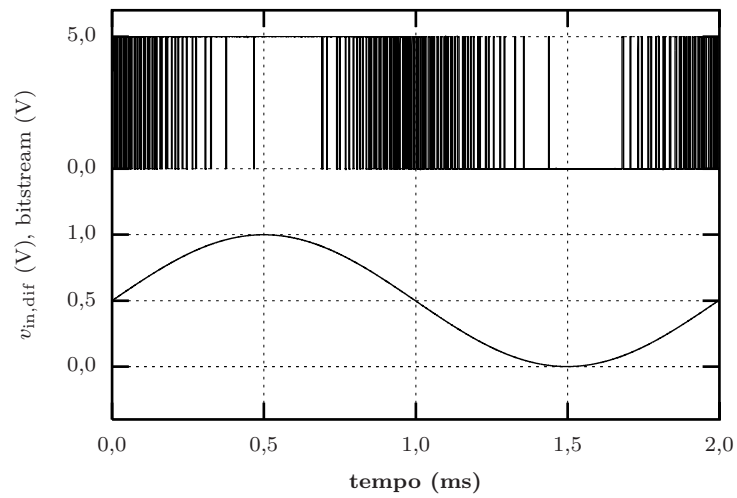


Figura 4.20 – Simulação do modulador $\Delta\Sigma$ para uma entrada sinusoidal de frequência 500 Hz e amplitude 1 V (diferencial).

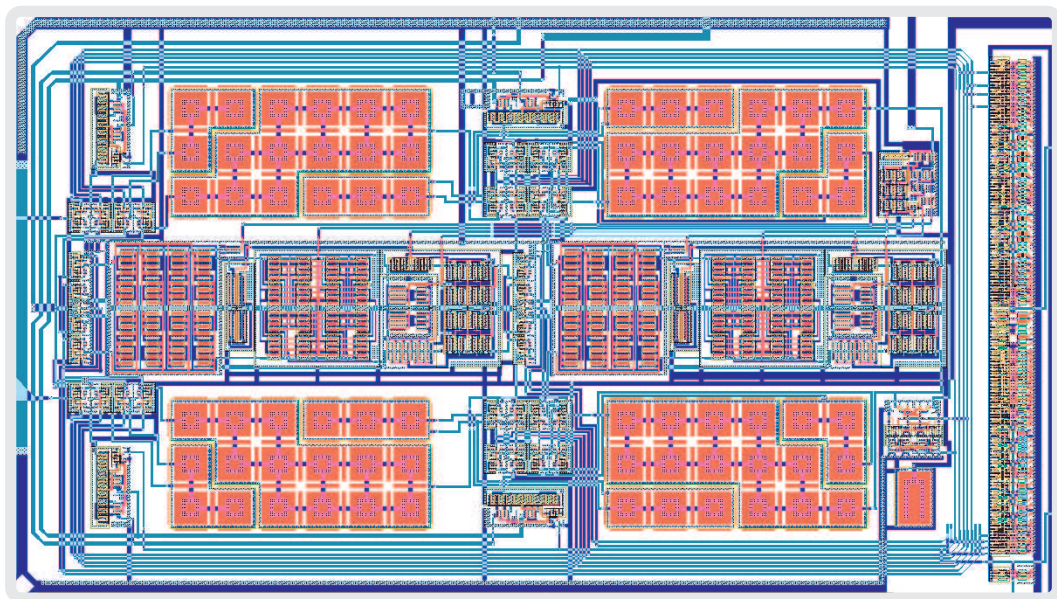


Figura 4.21 – *Layout* do modulador $\Delta\Sigma$.

4.3 Filtragem digital de primeira ordem

Como referido no segundo capítulo, um conversor A/D $\Delta\Sigma$ é constituído por um modulador $\Delta\Sigma$ e por um filtro decimador. A integração de um filtro digital decimador juntamente com o modulador é a solução natural, no sentido de se obterem, *in situ*, amostras à resolução e taxa pretendidas.

A utilização de um contador como filtro digital de primeira ordem é um dos métodos mais expeditos para se obter uma aproximação razoável do valor quantificado pelo modulador. Essencialmente, o contador determina o número de impulsos de um dado nível lógico existentes na sequência binária de saída do modulador durante um determinado período de tempo. Este tempo determina a taxa de amostras que é possível extrair do modulador.

No presente trabalho optou-se por realizar contagens de 14 bits, o que, à frequência de 423,75 KHz, corresponde um período de 38,66 ms, ou aproximadamente 25 amostras por segundo. Por forma a controlar o período ao fim do qual se obtém um novo valor de contagem, implementou-se um circuito de base de tempos cujo sinal de relógio é o mesmo do modulador. No final de cada contagem, o resultado obtido é guardado e o contador é limpo. O diagrama de blocos do módulo de decimação está ilustrado na figura 4.22.

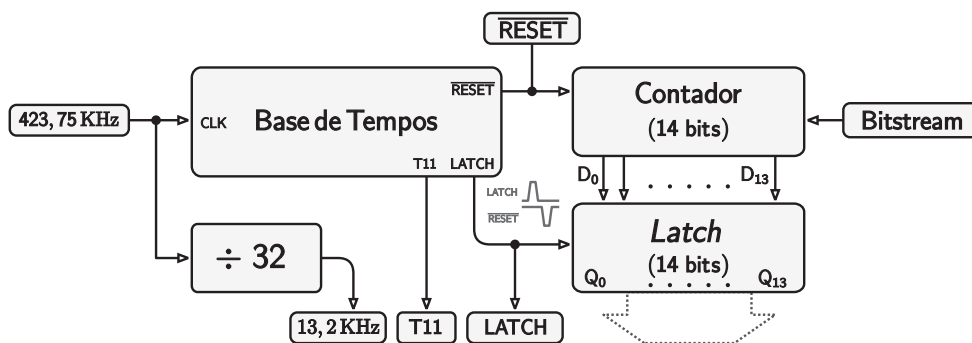


Figura 4.22 – Diagrama de blocos do circuito de decimação.

4.3.1 Base de tempos

O bloco denominado base de tempos é responsável por gerar 3 sinais: **LATCH**, $\overline{\text{RESET}}$ e **T11**. O sinal **LATCH** é um impulso que se destina a controlar a passagem da palavra de 14 bits proveniente do contador para a saída da *latch*, tendo um período de 38,66 ms. O sinal de $\overline{\text{RESET}}$, com o mesmo período, é tornado activo imediatamente após o flanco descendente do sinal de **LATCH**, servindo para limpar o valor da contagem acumulada no contador. O sinal denominado **T11** é um valor parcial da base de tempos, tem uma largura de 4,83 ms (o período vale $2^{12}/423\,750$) e o seu flanco ascendente coincide com o flanco ascendente do sinal de **LATCH**. Este sinal será utilizado na construção da janela de transmissão de dados, conforme explicado mais à frente.

O circuito utilizado no bloco da base de tempos encontra-se ilustrado na figura 4.23. É basicamente um divisor de frequência ao qual foi adicionada a lógica suplementar necessária para obtenção do impulso de $\overline{\text{RESET}}$ no ciclo seguinte ao flanco descendente do sinal de **LATCH**.

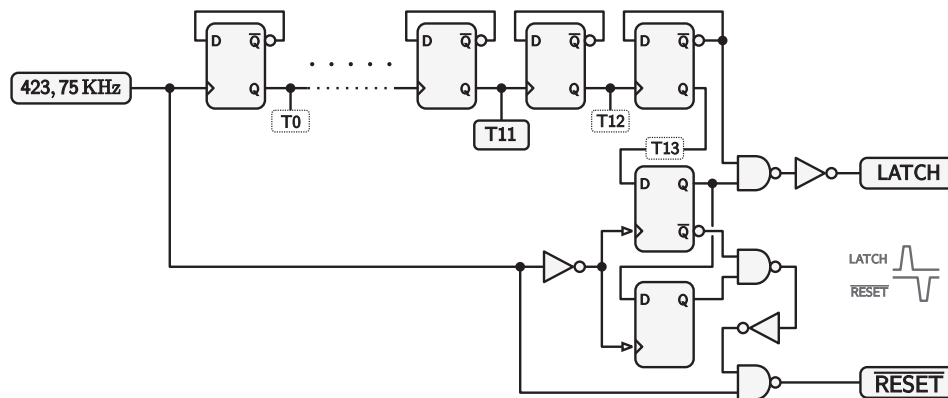


Figura 4.23 – Circuito utilizado para a base de tempos do filtro decimador.

4.3.2 Contador de 14 bits

A filtragem digital é feita neste caso por um contador de 14 bits, cujo circuito utilizado está ilustrado na figura 4.24. É composto por *flip-flops* do tipo JK, excepto o primeiro, que é do tipo D. Isto deve-se a que a contagem deve ser efectuada na

base de cada impulso de relógio. Assim, o *flip-flop* do tipo D executa a função de habilitação, ou não, da contagem de impulsos de relógio em função do valor da sequência binária.

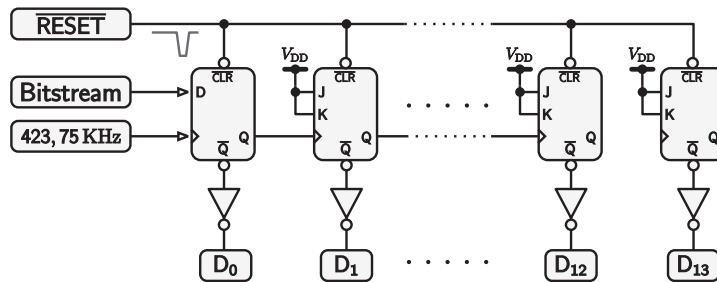


Figura 4.24 – Circuito utilizado para a implementação de um contador de 14 bits.

O circuito utilizado para executar a função de *latch* está ilustrado na figura 4.25, onde são utilizados *flip-flops* do tipo D accionados pelo sinal LATCH. O resultado da contagem fica assim disponível à saída das *latches*, mantendo-se até ser obtida uma nova contagem.

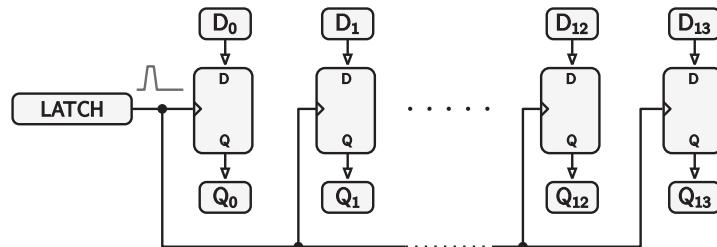


Figura 4.25 – Circuito utilizado para a implementação de uma *latch* de 14 bits.

Na figura 4.26 ilustram-se alguns dos sinais relacionados com o diagrama de blocos da figura 4.22. Conforme se pode observar, os sinais de LATCH e de $\overline{\text{RESET}}$ têm uma duração de cerca de $1,12 \mu\text{s}$ ($0,5/423\,750 \text{ Hz}$).

Nesta simulação, observa-se também o efeito da sequência Bitstream no valor dos bits menos significativos (D_0 e D_1) do contador, bem como o sinal T11, que será abordado posteriormente.

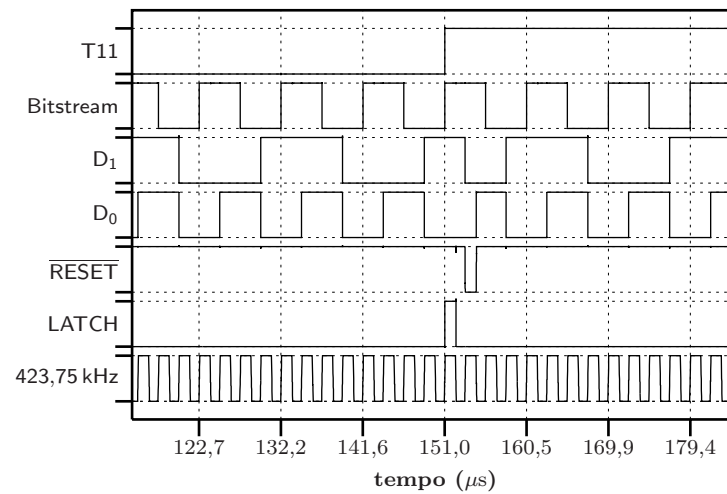


Figura 4.26 – Formas de onda de alguns sinais do circuito de filtragem digital.

4.4 Subsistema de transmissão de dados

O subsistema de transmissão de dados, responsável pelo envio das amostras de 14 bits resultantes da filtragem digital interna, é composto por um codificador de largura de impulso, um sintetizador de frequência, um modulador ASK e um amplificador de potência. O diagrama de blocos deste subsistema encontra-se ilustrado na figura 4.27.

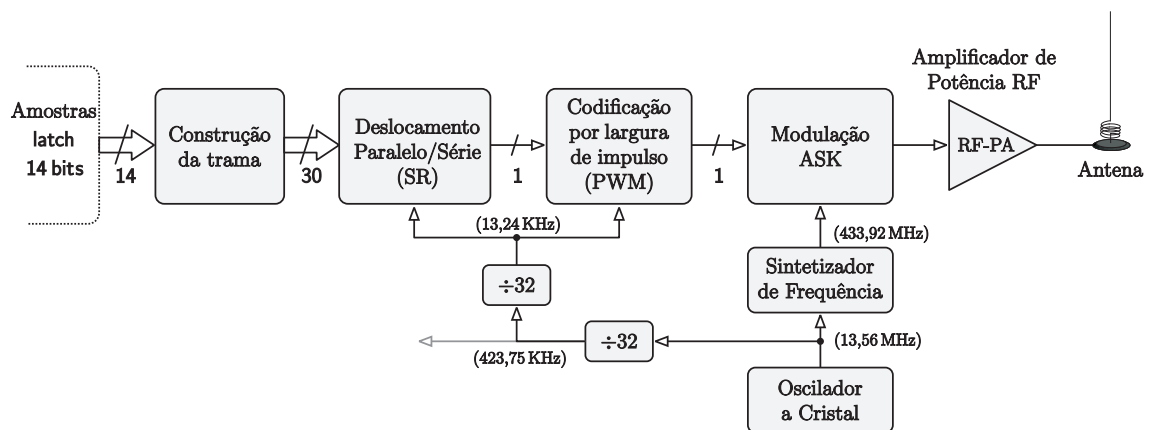


Figura 4.27 – Diagrama de blocos do subsistema de transmissão de dados.

Após o final de cada contagem, e durante o tempo em que esta está disponível à saída da *latch*, uma trama de dados é construída, à qual são acrescentados um

cabecalho e um campo de controlo de erro. Esta trama é posteriormente convertida numa sequência série e codificada em largura de impulso que modula a portadora em ASK, sendo esta aplicada a um amplificador de potência. O circuito RF externo é composto pela rede de carga específica da classe de operação E e por uma antena.

4.4.1 Construção da trama

Além das amostras de 14 bits, obtidas pelo circuito de filtragem digital e decimação, é necessário incluir informação complementar que permita a correcta interpretação da informação por parte do receptor. Em sistemas de recepção da dados via rádio, um dos aspectos que se deve ter em conta é o tempo que o receptor demora a sincronizar-se numa portadora válida. Para este efeito, é incluído um campo de preâmbulo cuja sequência de valores alternados favorece o sincronismo dos circuitos internos do receptor. No entanto, o sinal recebido na maioria dos casos não coincide com o início do preâmbulo, pelo que é necessário incluir na trama um campo que permita ao receptor distinguir de forma clara o preâmbulo do campo de informação. Este último campo tem um comprimento de 14 bits e contém o valor de uma amostra. O último campo destina-se a fornecer um mecanismo de detecção de erros por parte do receptor. É denominado, na literatura anglo-saxónica, por *Frame Check Sequence* (FCS) e é realizado, neste caso, por uma soma de verificação do tipo XOR de todos os bits do campo de dados. Na figura 4.28 ilustra-se a trama completa.

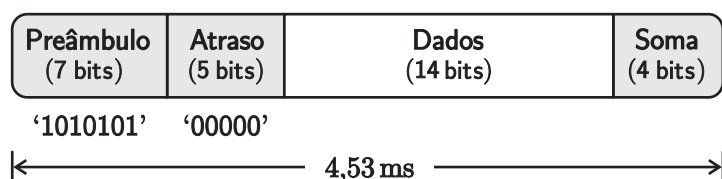


Figura 4.28 – Estrutura da trama de dados.

O campo de preâmbulo é composto por uma sequência fixa de valores binários alternados de valor ‘1010101’ e o campo denominado ‘Atraso’ composto pela sequência ‘00000’. O sinal que controla a taxa de dados e, por conseguinte a duração da trama de dados, é derivado do oscilador a cristal após uma divisão por 64. A taxa de dados é de aproximadamente 6,6 kbps e a duração da trama de 4,53 ms.

4.4.2 Codificação por largura de impulso

Um dos motivos que levaram à utilização de codificação por largura de impulso na trama de dados foi o facto de na modulação ASK a ausência de transmissão poder ser confundida com a transmissão do nível lógico ‘0’. A utilização desta técnica, quando combinada com um esquema de janela de transmissão, permite utilizar o meio de transmissão apenas durante o tempo necessário para transmitir uma trama. Além deste aspecto importante, o receptor tem também os meios necessários para determinar a duração da trama recebida.

Na figura 4.29 ilustra-se todo o circuito responsável pela construção da trama de dados, deslocamento paralelo/série e codificação por largura de impulso.

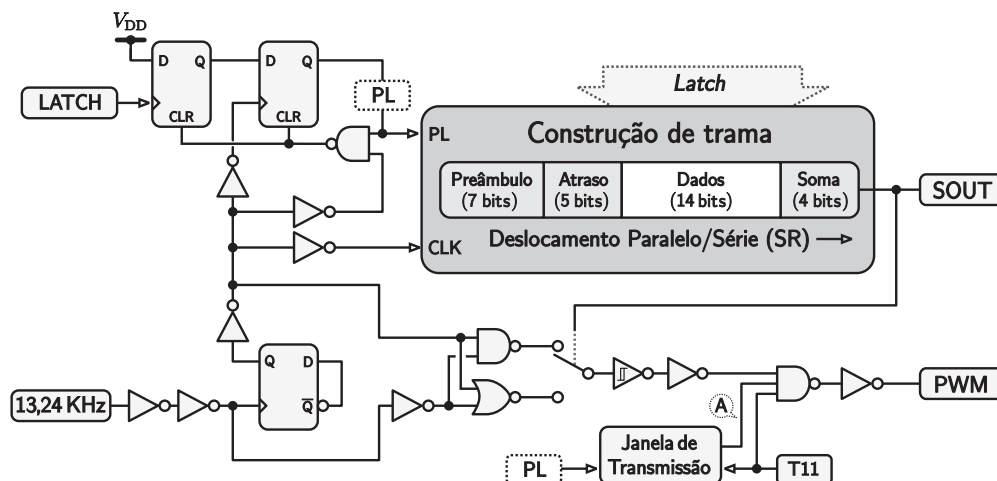


Figura 4.29 – Diagrama de blocos do módulo de construção de trama.

O cerne deste circuito é o deslocador paralelo/série, vulgarmente designado por *Shift Register* (SR). É neste que é construída a trama, e convertida numa sequência série, comandada pelo sinal CLK. O início do processo é desencadeado pelo sinal de LATCH, que por sua vez acciona o sinal PL. Quando este último passa ao nível lógico ‘1’, o SR é carregado com os dados paralelo provenientes da *latch*. No flanco descendente de PL, o SR inicia o deslocamento. O sinal SOUT, disponível para o exterior, contém a sequência em formato NRZ-L,⁷ que será codificada em largura de

⁷Terminologia dada à representação gráfica simples de um código binário, e cujo significado na literatura anglo-saxónica é *Non-Return to Zero - Level*.

impulso. O codificador de largura de impulso é essencialmente construído em torno de um comutador cuja saída, comandada por SOUT, é um sinal de duração igual ao tempo de 1 bit, mas cuja largura é de 25 % para o nível lógico ‘0’ de SOUT, e de 75 % para o nível lógico ‘1’. Os sinais T11 e PL foram combinados de forma a definir uma janela de transmissão, durante a qual o sinal de saída PWM está habilitado. Fora desse intervalo, este sinal mantém-se no nível ‘0’.

Na figura 4.30 ilustram-se as formas de onda associadas ao circuito da figura 4.29, obtidas por simulação do circuito extraído do *layout* para uma amostra de valor ‘10001101110011’.

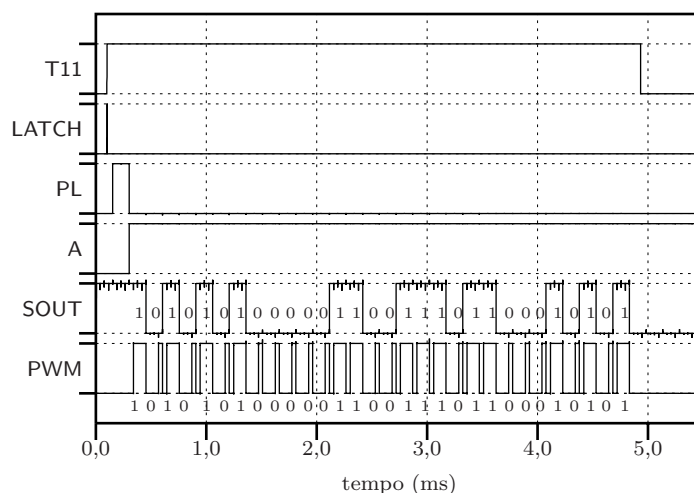


Figura 4.30 – Formas de onda da codificação por largura de impulso.

4.4.3 Sintetizador da frequência de operação

A frequência da portadora de 433,92 MHz é obtida através de um sintetizador de frequência tendo como base a frequência de referência, precisa e estável, obtida do oscilador a cristal. Pelo facto de se utilizar modulação ASK, a saída do sintetizador de frequência terá uma única componente de frequência. Estes requisitos levam a que a escolha recaia num sintetizador baseado numa *Phase-Locked Loop* (PLL) na sua configuração clássica, em que na sua realimentação é utilizado um divisor do tipo inteiro.

Phase-Locked Loop

Uma PLL consiste numa malha de realimentação que segue a fase e a frequência do sinal à sua saída, de acordo com a frequência de referência à entrada. A figura 4.31 ilustra o diagrama de blocos de uma PLL na sua configuração clássica.

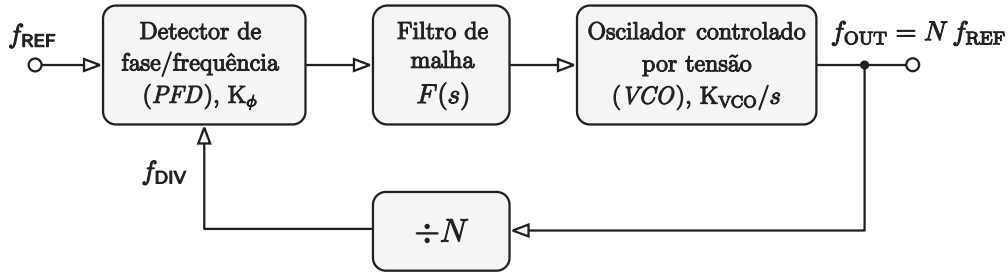


Figura 4.31 – Diagrama de blocos de uma PLL.

É composta por um oscilador controlado por tensão (*Voltage-Controlled Oscillator* – VCO), que gera uma forma de onda na sua saída com uma frequência determinada pela sua tensão de controlo, $VCO_{control}$. O detector de fase/frequência (*Phase/Frequency Detector* – PFD) compara a fase e a frequência do sinal de referência, f_{REF} , com a fase/frequência do sinal f_{DIV} resultante da divisão pelo valor inteiro N do sinal de saída, f_{out} . O PFD identifica as diferenças de fase/frequência entre o sinal de referência externo, f_{REF} , e o sinal interno, f_{DIV} , proveniente do divisor por N . O filtro de malha converte estas diferenças na tensão $VCO_{control}$, que ajusta a frequência de saída do VCO. Quando a malha está presa (*Phase-Locked*), a diferença entre estes dois sinais é nula e o valor de $VCO_{control}$ mantém-se constante. O sinal de saída tem então uma frequência de valor $f_{out} = N f_{REF}$.

O processo de realimentação negativa tende a manter iguais os valores de f_{DIV} e f_{REF} através da tensão $VCO_{control}$. No caso de $f_{DIV} < f_{REF}$, a variação da tensão $VCO_{control}$ dá-se no sentido de aumentar f_{out} e, conseqüentemente, ao aumento de f_{DIV} . No caso em que $f_{DIV} > f_{REF}$, o processo é o inverso.

A análise do desempenho de uma PLL é normalmente realizada recorrendo a uma aproximação linear, na qual os parâmetros dos seus componentes são considerados constantes. No modelo linear, ilustrado na figura 4.32, o PFD tem um ganho de K_ϕ (A/rad), o filtro de malha tem uma função de transferência $F(s)$ e o VCO tem

um ganho K_{VCO} (Hz/V).

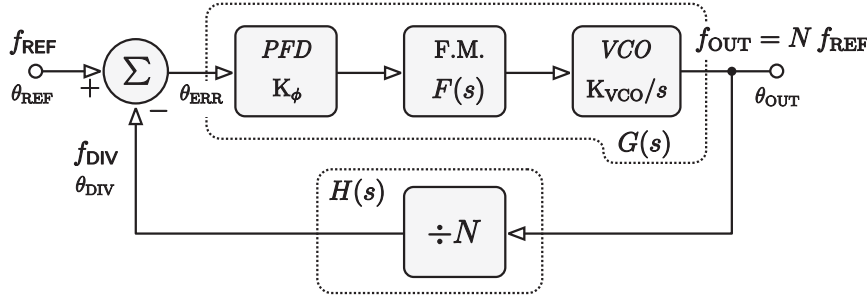


Figura 4.32 – Modelo linear de uma PLL.

Como a variável realimentada não é a frequência mas sim a fase, é necessário incluir um integrador adicional na função de transferência da PLL, estando este normalmente associado ao VCO, de modo a que o seu ganho seja K_{VCO}/s . Se considerarmos θ_{REF} , θ_{OUT} , θ_{DIV} e θ_{ERR} como as fases dos sinais de referência, de saída, do resultado da divisão interna por N e do erro de fase à saída do PFD, respectivamente, podem-se definir as funções de transferência associadas à PLL. A função de transferência para a frente:

$$G(s) = \frac{\theta_{OUT}}{\theta_{err}} = \frac{K_{\phi} F(s) K_{VCO}}{s} \quad (4.18)$$

A função de transferência de realimentação:

$$H(s) = \frac{\theta_{DIV}}{\theta_{OUT}} = \frac{1}{N} \quad (4.19)$$

A função de transferência em malha aberta:

$$G(s)H(s) = \frac{\theta_{DIV}}{\theta_{ERR}} = \frac{K_{\phi} F(s) K_{VCO}}{N s} \quad (4.20)$$

Finalmente, a função de transferência em malha fechada:

$$\frac{\theta_{OUT}}{\theta_{DIV}} = \frac{G(s)}{1 + G(s)H(s)} \quad (4.21)$$

A determinação dos parâmetros de todos os componentes de uma PLL depende essencialmente do tipo de aplicação. No entanto, e dado que este é um sistema realimentado, é necessário garantir a sua estabilidade. Por forma a compreender

a dinâmica da malha é necessário, no entanto, alguns conhecimentos básicos da teoria de controlo. O método vulgarmente utilizado na determinação dos valores dos componentes da malha consiste essencialmente em especificar o valor da margem de fase para o sistema em malha aberta. A margem de fase ϕ_p é definida como a diferença entre 180° e a fase da função de transferência em malha aberta à frequência f_p , à qual corresponde um ganho unitário (0 dB). O valor de f_p corresponde à largura de banda da PLL e, regra prática, deve ser pelo menos 10 vezes inferior à frequência do sinal de referência. A análise de (4.20) indica que a função de transferência em malha aberta apresenta pelo menos um pólo na origem, pelo que a forma de controlar a margem de fase é incluir pólos e zeros adicionais através do filtro de malha $F(s)$. Na figura 4.33 ilustra-se, através de um diagrama de Bode, o efeito do filtro de malha na resposta em malha aberta de uma PLL, em que neste caso o filtro de malha é de 3ª ordem com um pólo na origem.

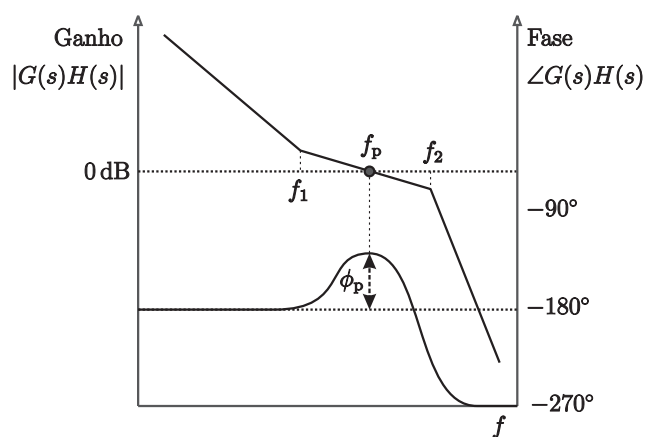


Figura 4.33 – Diagrama de Bode da resposta da PLL em malha aberta.

No exemplo ilustrado na figura 4.33, $F(s)$ introduz um zero à frequência $f_1 < f_p$ de modo a que seja satisfeito o valor de margem de fase quando o ganho em malha aberta se torna unitário. São também introduzidos dois pólos em $f_2 > f_p$, com o objectivo de rejeitar as componentes de frequência superiores à largura de banda da PLL.

O valor da margem de fase é normalmente uma escolha de compromisso, situando-se entre os 30° e os 70° . Quanto maior este valor maior a estabilidade do sistema, à

custa da diminuição da largura de banda e, conseqüentemente, ao sacrifício do seu tempo de resposta. Regra geral, o valor utilizado ronda os 50°.

De seguida abordam-se os diversos blocos que compõem uma PLL, apresentando-se individualmente o circuito implementado. No final, apresenta-se o seu *layout*.

Detector de fase/frequência

A tensão de controlo do VCO é proveniente do filtro de malha, cuja amplitude traduz o quanto o sinal de saída f_{out} do VCO está atrasado ou adiantado em relação ao sinal de referência f_{REF} . O PFD é então combinado com o filtro de malha por forma a gerar a tensão $VCO_{control}$. A figura 4.34 ilustra um método vulgarmente utilizado para gerar esta tensão, devido à sua larga gama de frequências de comparação e ao erro de fase estático idealmente nulo.

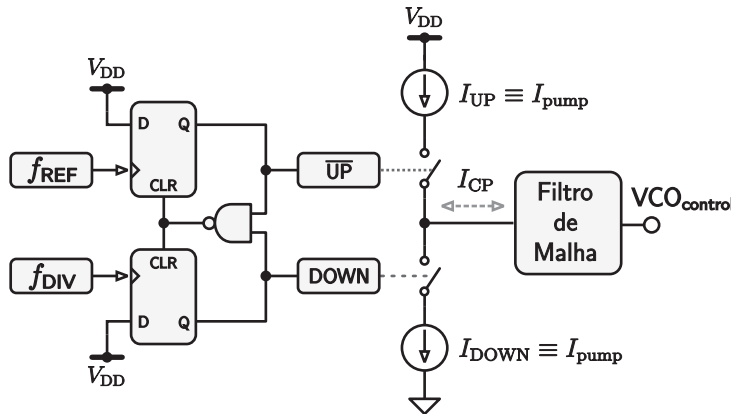


Figura 4.34 – Detector fase/frequência básico.

Este tipo de detector, também designado detector de fase sequencial, compara os flancos ascendentes dos sinais de referência, f_{REF} , e de comparação, f_{DIV} , indicando se o sinal de saída está atrasado ou avançado relativamente ao sinal de referência.

Quando é detectado um flanco ascendente no sinal f_{REF} , a saída do *flip-flop* superior passa ao estado lógico '1'. Este sinal alto, designado por UP, activa a fonte de corrente superior, o que permitirá que uma corrente de valor I_{UP} circule em direcção ao nó de saída V_{CP} . O mesmo ocorre para o *flip-flop* inferior relativamente ao flanco ascendente do sinal f_{DIV} , que permitirá que a corrente seja escoada do

nó V_{CP} . O fluxo total de corrente que circula no nó V_{CP} é precisamente o fluxo de corrente que circula no filtro de malha e que permite que a tensão $VCO_{control}$ seja ajustada. Quando ambas as saídas dos *flip-flops* ficam no estado ‘1’, a porta lógica NAND provoca o *reset* das saídas e ambas as fontes de corrente são desligadas. Saliente-se ainda o facto de que os atrasos de propagação, quer da porta NAND, quer do *flip-flop*, levam a que existam sempre impulsos de duração mínima nas saídas UP e DOWN.

Na figura 4.35 ilustra-se a função de transferência do detector de fase/frequência da figura 4.34, onde $\Delta\phi$ é a diferença de fase entre f_{REF} e f_{DIV} e $\overline{I_{CP}}$ o valor médio da corrente que flui no nó V_{CP} .

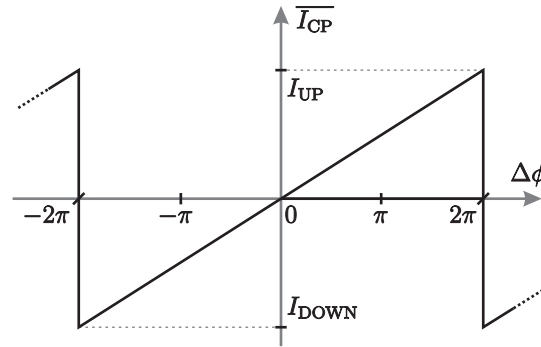


Figura 4.35 – Função de transferência do detector de fase/frequência.

O ganho do detector de fase/frequência pode então ser determinado por:

$$I_{CP} = \frac{I_{UP} - (-I_{DOWN})}{4\pi} \Delta\phi = K_{\phi} \Delta\phi, \quad (4.22)$$

onde K_{ϕ} representa a constante de ganho do detector. Se os valores das fontes de corrente forem idênticos e iguais a I_{pump} , então K_{ϕ} é determinado por:

$$K_{\phi} = \frac{I_{pump}}{2\pi} \quad (\text{A/rad}) \quad (4.23)$$

Quando a malha está presa, o total de carga eléctrica transferida para dentro e para fora do filtro de malha durante um período de comparação tem de ser zero por forma a manter constante a tensão $VCO_{control}$. Idealmente, o erro de fase estático deve ser nulo, pois qualquer diferença de fase entre os sinais a comparar leva a um

valor não nulo de carga transferida, alterando deste modo $V_{CO_control}$, até que esta diferença seja nula e a malha esteja presa.

Na figura 4.36 ilustra-se o comportamento das saídas do PFD quando o sinal f_{DIV} está atrasado em relação a f_{REF} (fig. 4.36(a)), avançado (fig. 4.36(b)) e quando ambos estão em fase (fig. 4.36(c)).

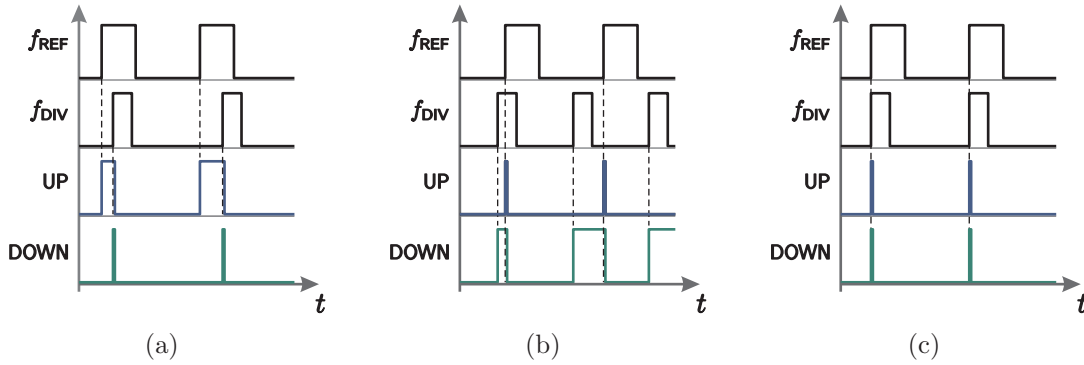


Figura 4.36 – Formas de onda associadas ao detector de fase/frequência: (a) f_{DIV} atrasado em relação a f_{REF} , (b) avançado, e (c) em fase.

Se ambos os impulsos tiverem uma duração mínima, é possível fornecer continuamente informação às fontes de corrente, independentemente da diferença de fase entre os sinais de entrada. Esta largura mínima evita um problema comum nos detectores de fase sequenciais, que é o de não fornecerem informação quando a diferença de fase é muito pequena, o que resulta na denominada zona morta (*dead-zone*). Esta incerteza na comparação tem como consequência um aumento adicional de *jitter* no sinal de saída.

Por forma a que, em situação de malha presa, a soma algébrica da carga transferida para o filtro de malha seja nula, é necessário garantir que os impulsos gerados nas saídas UP e DOWN cumprem alguns requisitos. Essencialmente, é necessário que o produto duração de impulso *versus* corrente que flui no nó V_{CP} seja constante ao longo do período de comparação. No caso em que as fontes de corrente de valor I_{UP} e I_{DOWN} têm o mesmo valor, torna-se necessário garantir que os impulsos tenham a mesma duração, estejam em fase e tenham amplitude suficiente para accionar devidamente as fontes de corrente. Qualquer desvio em relação a estes requisitos levará ao aumento do *ripple* na tensão $V_{CO_control}$ e, consequentemente, ao aumento

do *jitter* no sinal de saída.

Um dos métodos convencionais de implementar o PFD descrito anteriormente consiste na utilização de *flip-flops* do tipo SR com portas lógicas do tipo NAND. Deste modo, o circuito utilizado na implementação do PFD está representado na figura 4.37.

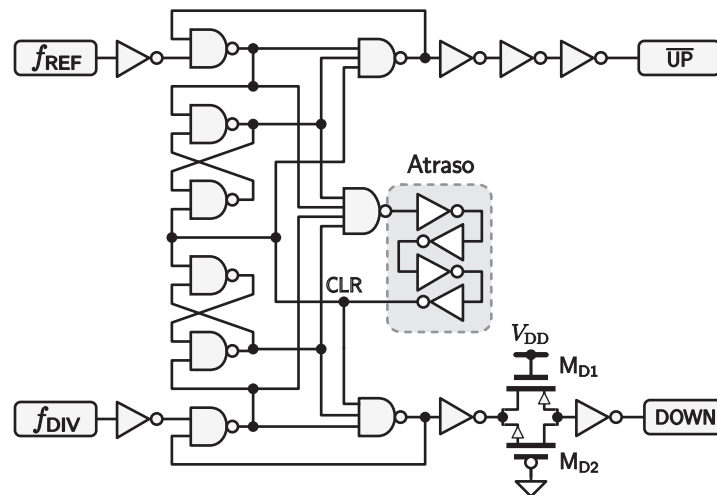


Figura 4.37 – Detetor de fase/frequência implementado.

Por forma a garantir uma duração mínima dos impulsos quando a malha está presa, e deste modo evitar o problema da *dead-zone*, adicionou-se um atraso suplementar no caminho do sinal de CLR através da inclusão de quatro inversores. A inclusão do par M_{D1}/M_{D2} na linha DOWN destina-se a compensar o atraso do inversor adicional na linha \overline{UP} , permitindo assim que os impulsos ocorram simultaneamente. Os últimos inversores no trajecto das saídas garantem o mesmo factor de forma.

Bomba de carga

A bomba de carga, vulgarmente designada *charge-pump*, quando combinada com um detetor de fase/frequência, é uma das alternativas mais vulgarmente utilizadas na implementação da função de filtro de malha [46]. Fontes de corrente controladas são facilmente implementadas em tecnologia CMOS com um número mínimo de transístores, sem a complexidade, área e consumo de um amplificador operacional

usado como filtro activo.

Numa bomba de carga convencional [47], os sinais \overline{UP} e $DOWN$ provenientes do PFD controlam interruptores que estão directamente ligados ao nó de saída, tal como esquematicamente representado na figura 4.38. A implementação deste conceito, recorrendo a espelhos de corrente, encontra-se ilustrada na figura 4.39.

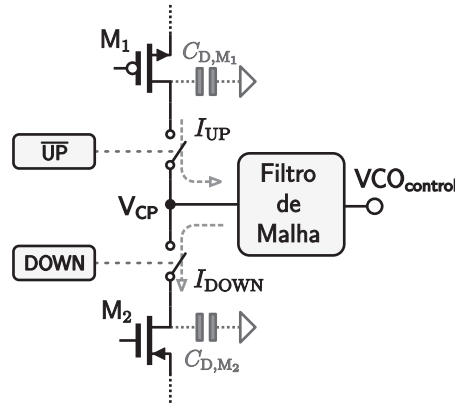


Figura 4.38 – Princípio de funcionamento de uma bomba de carga.

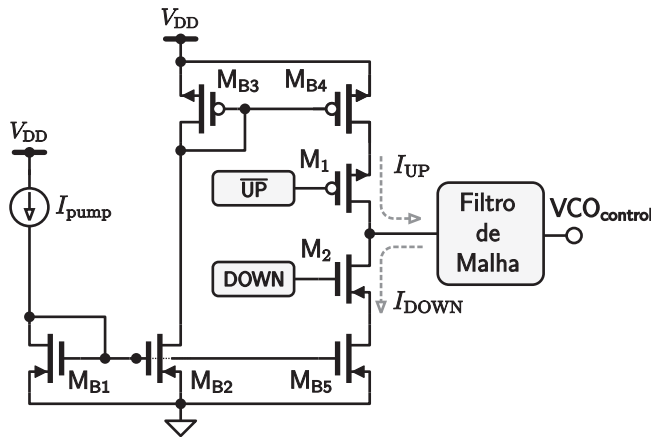


Figura 4.39 – Implementação convencional de uma bomba de carga.

Este tipo de configuração coloca à partida o problema de injeção de carga no nó de saída quando os transístores são comutados pelos sinais \overline{UP} e $DOWN$. Esta injeção de carga, proveniente das capacidades parasitas associadas aos drenos de M_1 e M_2 , é partilhada com a carga existente nas capacidades do filtro, criando *ripple* adicional na tensão $VCO_{control}$. Além deste problema, existe ainda a questão do

The diagram shows a PLL circuit. On the left, a digital divider consists of a chain of inverters (M1, M2, M3, M4, M5) and a feedback loop (M6, M7, M8, M9, M10, M11). The output of the divider is connected to the input of a VCO. The VCO is implemented as a cross-coupled NMOS/PMOS pair (M12, M13 and M14, M15) with a feedback loop (M16, M17). The VCO output is connected to a 'Filtro de Malha' (Loop Filter) block, which also receives a 'VCO_control' input. The loop filter output is connected to the VCO input. The circuit is powered by V_{DD} and ground.

Neste circuito, os sinais UP e DOWN são utilizados para comutar um espelho de corrente emparelhado, evitando deste modo a partilha de carga no nó de saída da bomba de carga. Por forma a minimizar a injeção de carga no nó de saída, os interruptores M_{12} e M_{15} são incluídos entre M_{14} e V_{DD} e entre M_{17} e GND, respectivamente. Os drenos dos transístores da fonte de corrente, M_{14} e M_{17} , estão ligados directamente ao nó de saída V_{CP} . Os transitórios que ocorrem agora nas fontes de M_{14} e M_{17} quando M_{12} e M_{15} são comutados não passam para a saída, visto M_{14} e M_{17} estarem ainda desligados quando os transitórios ocorrem. Por forma a que M_{14} e M_{17} arranquem de um modo suave, foram incluídos os condensadores C_1 e C_2 , que fornecem um caminho adicional a GND. Os transístores M_{13} e M_{16} fornecem um caminho de descarga de baixa impedância quando os interruptores M_{12} e M_{15}

são desligados. M_6 e M_{11} foram adicionados para melhorar o acerto no espelho de corrente devido à inclusão de M_{12} e M_{15} . Com o circuito representado, os valores das correntes I_{UP} e I_{DOWN} são os mesmos e iguais a I_{pump} , sendo determinados pela tensão na porta de M_4 . O divisor de tensão composto por M_1 e M_2 ajustam essa tensão de modo a que a corrente I_{pump} seja de $300 \mu A$.

Foram também tidas em conta algumas considerações que merecem uma menção especial. Para maximizar a velocidade de operação da *charge-pump*, as correntes de polarização devem estar sempre ON. Os transístores relativos aos espelhos de corrente têm uma largura duas vezes superior ao mínimo para aumentar a impedância de saída dos espelhos de corrente e também para melhorar o seu emparelhamento no *layout*, reduzindo o desacerto nas correntes de saída. Na tabela 4.9 apresentam-se as dimensões dos componentes utilizados na bomba de carga.

Tabela 4.9 – Valores dos componentes utilizados na bomba de carga

Transístor	Tipo	W/L ($\mu m/\mu m$)	Condensador	Valor
M_1	NMOS	52,5/2,8	C_1, C_2	2 pF
M_2	NMOS	2,8/2,8		
$M_3...M_{16}$	N/P	30,0/1,4		

Filtro de malha

O filtro de malha, designado na literatura anglo-saxónica por *loop-filter* (LF), tem como função principal a integração dos impulsos de corrente provenientes do conjunto PFD/Bomba de carga, por forma a fornecer uma tensão de controlo do VCO estável. Por outro lado, e para assegurar a estabilidade da malha, este filtro fornece um zero à função de transferência da PLL. Este integrador, realizado através de componentes passivos, atenua o ruído de alta frequência indesejado e permite uma tensão estável de controlo do VCO. Embora possa ser composto por um simples condensador, uma das configurações mais utilizadas com bombas de carga, é o integrador com 3 pólos, esquematizado na figura 4.41.

Este filtro passivo de 3^a ordem é composto por uma secção de 2^a ordem (C_1 , C_2 e R_2) e uma secção de 1^a ordem (C_3 e R_3). Esta última secção fornece um pólo

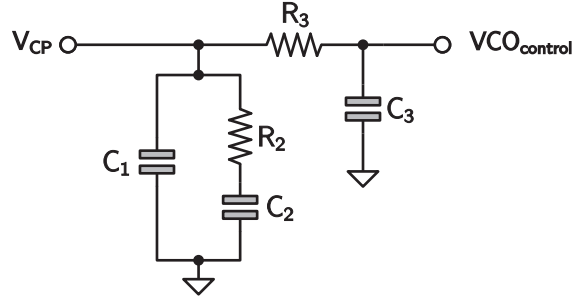


Figura 4.41 – Filtro de malha de 3ª ordem.

adicional, cuja frequência deverá ser inferior à frequência de comparação, no sentido de atenuar ainda mais as bandas laterais nos seus múltiplos, e deverá ser, regra prática, 5 vezes superior à largura de banda da malha por questões de estabilidade da malha. Com este tipo de filtro de malha, a PLL é vulgarmente designada de 4ª ordem⁸. A função de transferência do filtro de malha representado na figura 4.41 é dada por:

$$F(s) = R_2 \frac{s\tau_2 + 1}{s\tau_2(s\tau_1 + 1)(s\tau_3 + 1)} \quad (4.24)$$

onde τ_1 , τ_2 e τ_3 são constantes de tempo e dadas por:

$$\tau_1 = R_2 \frac{C_1 C_2}{C_1 + C_2}, \quad \tau_2 = R_2 C_2, \quad \tau_3 = R_3 C_3 \quad (4.25)$$

Se os valores da largura de banda da malha, f_p , e da margem de fase, ϕ_p , forem definidos, então os valores das constantes de tempo podem ser calculados. A dedução dessas expressões é uma tarefa morosa, pelo que se opta por apresentar os resultados finais [49]. As constantes de tempo são determinadas como:

$$\tau_1 = \frac{\frac{1}{\cos \phi_p} - \tan \phi_p}{2\pi f_p}, \quad \tau_3 = \sqrt{\frac{10^{\frac{Attn}{10}} - 1}{(2\pi f_{REF})^2}}, \quad \tau_2 = \frac{1}{(2\pi f_c)^2(\tau_1 + \tau_3)} \quad (4.26)$$

onde $Attn$ (dB) é o valor desejado da atenuação das componentes múltiplas de f_{REF} e f_c representa o valor da frequência de ganho unitário modificada pela secção de 1ª ordem, que é ligeiramente inferior a f_p . Este valor é dado por:

⁸Considerando apenas o filtro de malha e o pólo associado ao integrador. Na prática, a ordem da PLL é superior

$$2\pi f_c = \frac{\tan \phi_p(\tau_1 + \tau_3)}{(\tau_1 + \tau_3)^2 + \tau_1 \tau_3} \left[\sqrt{1 + \frac{(\tau_1 + \tau_3)^2 + \tau_1 \tau_3}{[\tan \phi_p(\tau_1 + \tau_3)]^2}} - 1 \right] \quad (4.27)$$

O valor da capacidade C_1 é determinado como:

$$C_1 = \frac{\tau_1}{\tau_2} \frac{K_\phi K_{VCO}}{(2\pi f_c)^2 \cdot N} \sqrt{\frac{1 + (2\pi f_c)^2 \tau_2^2}{(1 + (2\pi f_c)^2 \tau_1^2) (1 + (2\pi f_c)^2 \tau_3^2)}} \quad (4.28)$$

onde N é o valor do divisor inteiro inserido no ramo de realimentação ($= f_{\text{out}}/f_{\text{REF}}$).

Após a determinação de C_1 , a capacidade C_2 pode ser calculada como:

$$C_2 = C_1 \left(\frac{\tau_2}{\tau_1} - 1 \right) \quad (4.29)$$

$$R_2 = \frac{\tau_2}{C_2} \quad (4.30)$$

Para a determinação do valor de C_3 segue-se a regra prática de que este valor deve ser 10 vezes inferior a C_1 , ou seja, os valores de C_3 e R_3 são determinados como:

$$C_3 = \frac{C_1}{10} \quad R_3 = \frac{\tau_3}{C_3} \quad (4.31)$$

Por forma a minimizar o número de ligações ao exterior e a manter alguma capacidade de ajuste do filtro de malha, optou-se pela integração de apenas a secção de 1ª ordem (R_3 e C_3), deixando um pino (directamente ligado ao nó V_{CP}) para a ligação externa da secção de 2ª ordem.

Oscilador controlado por tensão

Um dos factores de mérito dos osciladores controlados por tensão é o seu ruído de fase. Quanto mais elevado for o factor de qualidade do oscilador, menor será o seu ruído de fase e o sinal de saída apresentará uma maior pureza espectral. No topo da lista encontram-se os osciladores baseados em cristais de quartzo que apresentam factores de qualidade bastante elevados ($Q > 10\,000$). Osciladores que utilizam circuitos ressonantes do tipo LC têm também um bom desempenho em termos de ruído de fase. No entanto, as indutâncias implementadas na forma monolítica, além do espaço ocupado e das componentes capacitivas e resistivas parasitas, apresentam

o transistor M_7 , que funciona como resistência limitadora de corrente. Colocado entre M_6 e GND, tem ainda como função subir o nível DC da tensão de controlo do VCO. O transistor M_8 serve para impor um valor mínimo de corrente em M_5 e deste modo ajustar a frequência mínima de operação. Os transístores M_7 e M_8 foram escolhidos por forma a que a gama de frequências de saída estivesse compreendida entre 330 MHz e 500 MHz, aproximadamente. Na tabela 4.10 apresentam-se as dimensões dos transístores utilizados.

Tabela 4.10 – Dimensões (W/L) dos transístores do VCO.

Transístor	Tipo	Dimensões W/L ($\mu\text{m}/\mu\text{m}$)
$M_{1a}...M_{1e}, M_{2a}...M_{2e}$	PMOS	8,8/0,7
$M_{3a}...M_{3e}, M_{4a}...M_{4e}$	NMOS	8,8/0,7
M_5	PMOS	8,8/0,7
M_9	PMOS	8,8/0,7
M_6	NMOS	30,0/0,7
M_7	NMOS	4,8/2,1
M_8	NMOS	5,0/0,7
M_{10}	NMOS	8,8/0,7

Na figura 4.43 apresenta-se o resultado de uma das simulações realizadas com o VCO. Neste caso particular, a frequência de saída de 433,92 MHz é obtida para um valor de tensão $V_{\text{CO}_{\text{control}}}$ de 2,34 V.

Repetindo a mesma simulação para vários valores de $V_{\text{CO}_{\text{control}}}$, torna-se possível traçar a sua função de transferência, que se encontra ilustrada na figura 4.44.

O ganho K_{VCO} , definido pela inclinação da recta tangente ao ponto central de operação, é determinado por:

$$K_{\text{VCO}} = 2\pi \frac{f_{\text{max}} - f_{\text{min}}}{V_{\text{max}} - V_{\text{min}}} \quad (4.32)$$

Simulação da PLL

For forma a prever o comportamento da PLL, foram realizadas algumas simulações com vários valores de largura de banda e de margem de fase. Para cada simulação,

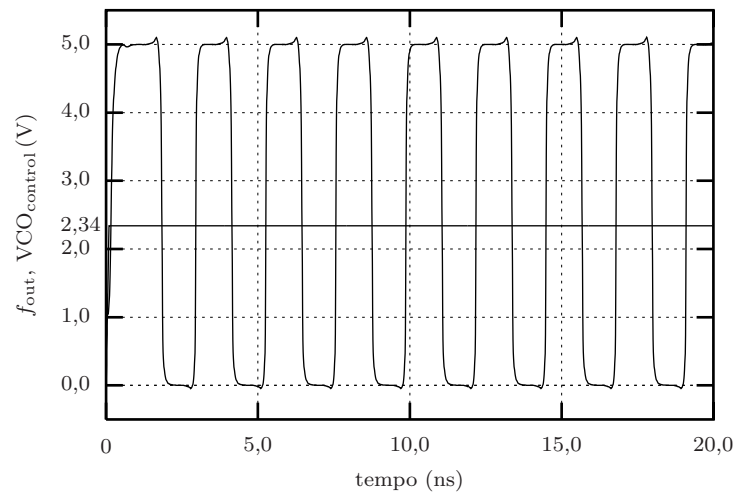


Figura 4.43 – Simulação da saída do VCO.

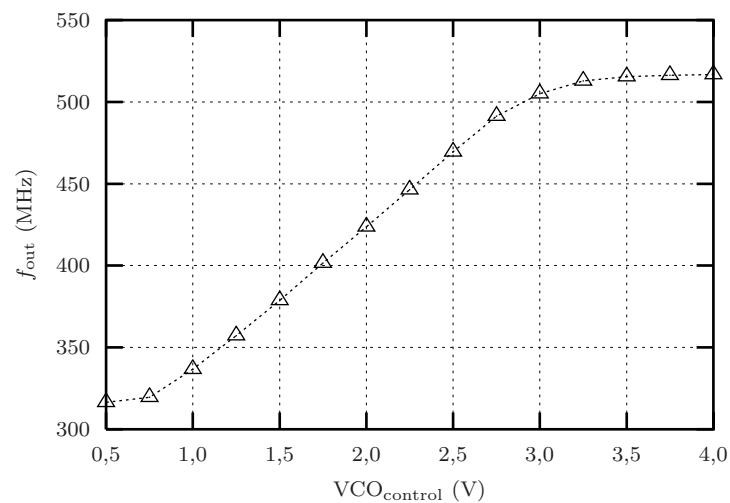


Figura 4.44 – Simulação da função de transferência do VCO.

numeradas de 1 a 3, foram determinados os correspondentes valores dos componentes do filtro de malha, apresentados na tabela 4.11. Os parâmetros tempo de captura, margem de fase efectiva, amortecimento e atenuação de espúrios foram determinados por uma ferramenta *on-line* de simulação (*EasyPLL* da *National Semiconductor Corporation*). A evolução da tensão de controlo do VCO, obtida por simulação do circuito eléctrico extraído do *layout*, encontra-se ilustrada na figura 4.45, para as 3 simulações realizadas.

Como se poderá verificar pela análise da figura 4.45, o tempo de captura e o factor

Tabela 4.11 – Simulações do comportamento da PLL.

Parâmetro	Sim. #1	Sim. #2	Sim. #3	Unidades
f_{REF}	13,56	13,56	13,56	MHz
f_{out}	433,92	433,92	433,92	MHz
K_{VCO}	91,0	91,0	91,0	MHz/V
K_{ϕ}	300	300	300	$\mu\text{A}/2\pi \text{ rad}$
Margem de fase	50	55	50	°
Largura de banda	1000	500	500	KHz
C_1	3,35	11,88	12,27	pF
C_2	48,30	240,87	218,34	pF
R_2	7,91	3,85	3,39	K Ω
C_3	0,49	1,82	1,58	pF
R_3	57,01	27,38	32,35	K Ω
Tempo de captura ¹	3,2	6,0	5,4	μs
Margem de fase efectiva ¹	47,5	53,3	51,5	°
Amortecimento ζ ¹	0,77	0,84	0,82	-
Atenuação de espúrias ¹	16,6	25,6	26,0	dB

¹Obtido através da ferramenta de simulação *EasyPLL* (National Semiconductor Corporation)

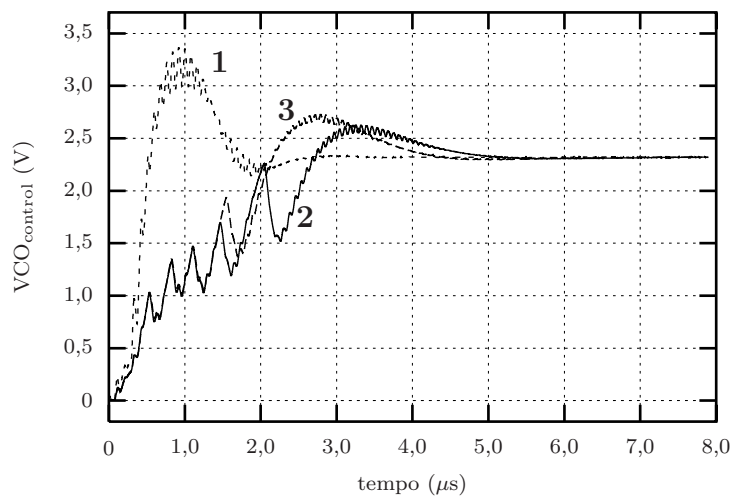


Figura 4.45 – Simulação da resposta da PLL para 3 conjuntos de valores de filtro de malha.

amortecimento ζ estão de acordo com os valores apresentados na tabela 4.11. Com base nestes resultados, optou-se por seleccionar para o filtro de malha, os valores que correspondem à simulação número 3.

Layout da PLL

Na figura 4.46 apresenta-se o *layout* da PLL. Na parte superior encontra-se o divisor de frequência, ao centro e do lado direito, os dois condensadores de 2 pF da bomba de carga divididos em duas unidades de 1 pF cada, enquanto que no lado esquerdo está o detector de fase/frequência. Na parte inferior e ao centro situa-se a secção de primeira ordem do filtro de malha. No canto inferior direito encontra-se o VCO.

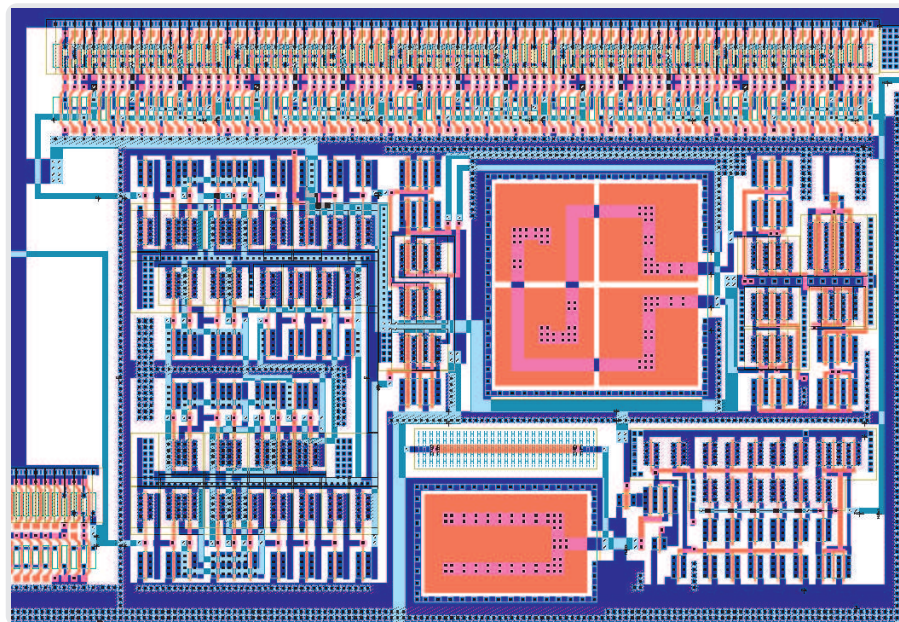


Figura 4.46 – *Layout da PLL.*

4.4.4 Modulação ASK

A modulação ASK é feita de um modo muito simples, dado que se baseia no facto de que só existe portadora para o nível lógico '0'. Deste modo, é utilizado o circuito representado na figura 4.47, em que esta operação é realizada através de uma porta lógica NAND e de um inversor.

O circuito de ataque ao amplificador de potência está representado na figura pelo termo *drive*, sendo sua função a de aumentar a capacidade de corrente. Isto deve-se a que, a esta frequência de operação, as capacidades parasitas do amplificador formam um impedância relativamente baixa, pelo que é necessário aumentar a corrente de

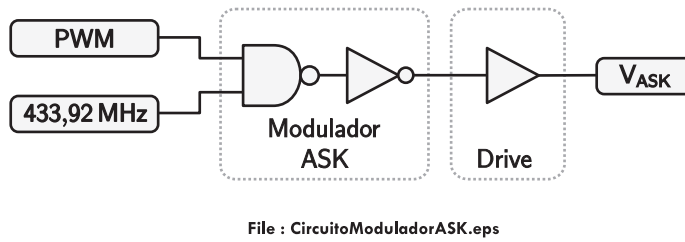


Figura 4.47 – Circuito do modulador ASK.

polarização do andar de entrada do amplificador de potência.

4.4.5 Amplificador de potência RF

O último estágio da interface sensorial, antes da antena, é o amplificador de potência RF, que opera em classe E. O seu circuito está ilustrado na figura 4.48. O amplificador é composto por um elemento activo, neste caso o transístor M_1 , por uma rede de carga (L_{DC} , C_1 , C_2 e L), e a antena representada pela resistência R_L . Esta é usualmente denominada de carga óptima e é determinada de acordo com as especificações da potência de saída e da tensão de alimentação. A alimentação é fornecida por uma fonte DC ($+V_{RF}$) e o interruptor M_1 é accionado pelo sinal V_{ASK} .

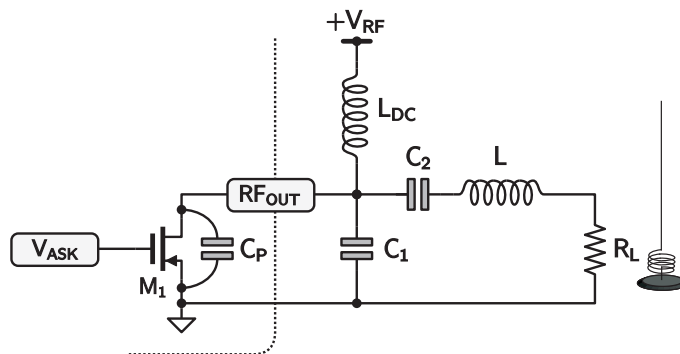


Figura 4.48 – Circuito do amplificador de potência de classe E.

Uma das grandes vantagens desta classe de operação reside no facto de que a capacidade do próprio transístor pode, e deve, ser absorvida no valor de C_1 . Este aspecto é, de facto, importante, visto o transístor, nesta utilização, apresentar normalmente dimensões razoáveis, por forma a suportar elevados valores de pico de tensão e de corrente.

Embora existam alguns trabalhos [52–54], que visam estabelecer métodos mais eficazes e expeditos para a determinação dos valores dos componentes do circuito da figura 4.48, optou-se por utilizar a abordagem clássica [41].

A potência de saída, P_{out} é dada pela expressão:

$$P_{\text{out}} = \frac{(V_{\text{RF}} - V_{\text{eff}})^2}{R_L} \left(\frac{2}{\frac{\pi^2}{4} + 1} \right) = \frac{(V_{\text{RF}} - V_{\text{eff}})^2}{1,7337 R_L} \quad (4.33)$$

onde V_{eff} é a tensão de saturação do transistor M_1 . Os valores das capacidades C_1 e C_2 e da indutância L , são, respectivamente, determinados por:

$$C_1 = \frac{1}{\omega R_L \left(\frac{\pi^2}{4} + 1 \right) \left(\frac{\pi}{2} \right)} = \frac{1}{5,4466 \omega R_L} \quad (4.34)$$

$$C_2 \approx \left(\frac{1}{L \omega^2} \right) \left(1 + \frac{1,42}{Q - 2,08} \right) \approx C_1 \left(\frac{5,4466}{Q} \right) \left(1 + \frac{1,42}{Q - 2,08} \right) \quad (4.35)$$

$$L = \frac{Q R_L}{\omega} \quad (4.36)$$

A corrente que flui no circuito através de L_{DC} é uma função da potência consumida por R_L e da potência de perdas no transistor:

$$I_{\text{LDC}} = \frac{P_{\text{out}}}{V_{\text{RF}}} \left[\frac{1 - \frac{(2\pi A)^2}{12}}{1 - \frac{(2\pi A)^2}{6} - \frac{V_{\text{eff}}}{V_{\text{RF}}} \left(1 + A - \frac{(2\pi A)^2}{6} \right)} \right] \quad (4.37)$$

onde A é um factor relacionado com as não-idealidades do interruptor dado por:

$$A = \left(1 + \frac{0,82}{Q} \right) \left(\frac{t_f}{T} \right) \quad (4.38)$$

em que Q é o factor de qualidade do circuito, $T = 1/f$ é o período da frequência de operação e t_f é o tempo de descida da corrente de dreno quando o transistor é desligado.

Outras expressões se aplicam para determinar os valores de pico a que o transistor está sujeito. Assim, a tensão máxima a que M_1 está sujeito no estado OFF e a corrente de pico durante o estado ON são determinadas, respectivamente, por:

$$\begin{aligned}
V_{ds,pico} &= V_{RF} + \left[2\pi \arcsin \left(\frac{\pi^2}{4} + 1 \right)^{-1/2} - 1 \right] (V_{RF} - V_{eff}) \\
&= 3,562 V_{RF} - 2,562 V_{eff}
\end{aligned} \tag{4.39}$$

$$\begin{aligned}
I_{d,pico} &= I_{LDC} \left[1 + \sqrt{\frac{\pi^2}{4} + 1} \left(1 - \frac{1}{2Q} \right) \right] \\
&\approx 2,862 I_{LDC}
\end{aligned} \tag{4.40}$$

O valor da corrente que circula na carga é determinada segundo Raab [55]:

$$I_{RL} = \sqrt{\frac{\pi^2}{4} + 1} I_{LDC} \tag{4.41}$$

Tensão máxima de operação

Um dos aspectos característicos desta classe de operação reside no facto de que a potência de saída é imposta pela tensão de alimentação, conforme observado em (4.33). No entanto, há ainda a considerar que a tensão de alimentação deve ser limitada superiormente, por forma a que a tensão de pico a que M_1 está sujeito não exceda a sua tensão de *breakdown* (10 V para um transístor NMOS no processo AMI C07M-A). Assim, e admitindo uma tensão $V_{eff} = 0,25$ V, a tensão V_{RF} máxima é, por (4.39), de:

$$V_{RF} < \frac{10,6405}{3,562} = 2,99 \text{ V} \tag{4.42}$$

Determinação dos elementos da rede de carga

Um dos aspectos fundamentais no ajuste da rede de carga está relacionado com o circuito ressonante LC_2 . Se este não estiver correctamente sintonizado à frequência de operação, a potência dissipada no transístor M_1 aumentará, o que levará à sua destruição. Isto deve-se essencialmente ao princípio de operação desta classe e ao

factor de qualidade subjacente ao circuito. Com um factor de qualidade relativamente elevado, a eficiência cai drasticamente com qualquer desvio da frequência de operação, causando dissipação de potência adicional no dispositivo activo. No entanto, um baixo factor de qualidade provoca um aumento do conteúdo harmónico no sinal transmitido, pelo que se deverá estabelecer um compromisso.

Na tabela 4.12 resumem-se as especificações do amplificador e o resultado dos cálculos efectuados com base nestas.

Tabela 4.12 – Determinação dos valores dos componentes do amplificador de potência.

Parâmetro	Valor	Unidade
Potência de saída (P_{out})	10,0	mW
Tensão de alimentação (V_{RF})	2,0	V
Factor de qualidade (Q)	5,0	—
Carga (R_L)	176,6	Ω
C_1	0,381	pF
C_2	0,244	pF
L	0,647	μ H

A análise dos resultados obtidos, principalmente no que se refere às capacidades C_1 e C_2 , indica que estas apresentam valores muito baixos. Há ainda a referir que C_1 deve absorver a capacidade parasita de M_1 , que pode ser algo elevada. De facto, estes resultados eram já esperados, dado que para uma potência de saída reduzida, a corrente de dreno também o é, e, deste modo, o princípio de operação desta classe leva a que C_1 tenha também de ser reduzido. Por forma a aumentar o valor das capacidades C_1 e C_2 para valores exequíveis, e dado que estas dependem indirectamente da tensão de alimentação, reduziu-se o seu valor para 1 V. Na tabela 4.13 apresenta-se o resultado dos novos cálculos efectuados.

Dimensões do elemento activo de amplificação

Com base nos resultados apresentados na tabela 4.13, podem agora determinar-se as dimensões do transistor M_1 , obtidas em função da corrente de pico:

Tabela 4.13 – Resumo dos valores calculados para o amplificador de potência.

Parâmetro	Valor	Unidade
Potência de saída (P_{out})	10,0	mW
Tensão de alimentação (V_{RF})	1,0	V
Factor de qualidade (Q)	5,0	—
Carga (R_L)	32,4	Ω
C_1	2,07	pF
C_2	3,36	pF
L	59,5	nH
Corrente média em L_{DC} (I_{LDC})	14,6	mA
Corrente de pico no dreno ($I_{\text{d,pico}}$)	41,8	mA
Corrente média na carga (I_{RL})	27,2	mA

$$I_D = \frac{\mu_n C_{\text{ox}}}{2} \left(\frac{W}{L} \right) (V_{\text{GS}} - V_{\text{TN}})^2 \frac{1}{1 + \theta(V_{\text{GS}} - V_{\text{TN}})} \quad (4.43)$$

onde foi incluído o termo relativo ao efeito de degradação da mobilidade ao longo do canal, θ . Neste caso, a expressão (4.43) resulta numa relação W/L de aproximadamente 340. Escolhendo um transistor de comprimento $L = 1,1 \mu\text{m}$, a sua largura é de $W = 374 \mu\text{m}$. Por margem de segurança, optou-se por quase duplicar as suas dimensões, ou seja, M_1 foi implementado com as dimensões $(W/L) = 704/1,1$.

A capacidade parasita deste transistor é essencialmente a capacidade entre o dreno e o substrato (C_{db}), calculado por:

$$C_{\text{db}} = A_d \frac{C_{j0}}{\sqrt{1 + \frac{v_{\text{db}}}{\text{PB}}}} \quad (4.44)$$

onde C_{j0} ($5 \times 10^{-4} \text{ F/m}^2$) é a capacidade de depleção para potencial nulo por unidade de área, PB (0,73 V) é o potencial da junção com o substrato e v_{db} é a tensão dreno-substrato. Para o transistor M_1 , com área de dreno de $704 \times 1,1 \times 10^{-12} \text{ m}^2$, a sua capacidade C_{db} é de 0,135 pF.

Dado que o valor da capacidade C_1 da rede de carga absorve todas as capacidades parasitas vistas do dreno de M_1 , e considerando uma capacidade parasita do *pad* de 0,25 pF, o valor de C_1 efectivo é de:

$$C_{1,\text{eff}} = C_1 - C_{\text{db}} - C_{\text{pad}} = 2,07 - 0,135 - 0,25 \approx 1,68 \text{ pF} \quad (4.45)$$

Transformação de impedâncias

Tendo em conta que no circuito apresentado na figura 4.48 a carga óptima do amplificador foi determinada como sendo de $32,4 \Omega$, torna-se necessário a utilização de uma rede reactiva para transformar a impedância de 50Ω da antena. Isso pode ser feito através de uma secção do tipo L (composta por L_M e C_M), conforme ilustrado na figura 4.49. A razão desta escolha prende-se com a sua simplicidade e com a vantagem de combinar as indutâncias L com L_M .

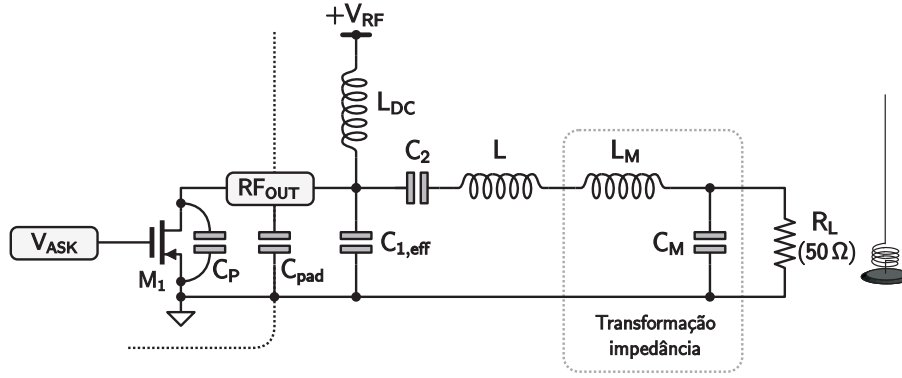


Figura 4.49 – Transformação de impedância no amplificador de classe E.

Pela teoria das transformações de impedância [56, p.104], os valores de C_M e L_M são facilmente determinados:

$$C_M = \frac{\sqrt{\frac{50-32,44}{32,44}}}{50 \omega} = 5,39 \text{ pF} \quad \text{e} \quad L_M = \frac{\sqrt{32,44 (50 - 32,44)}}{\omega} = 8,75 \text{ nH} \quad (4.46)$$

A indutância L_{DC} funciona como fonte de corrente, sendo vulgarmente designada por *RF Choke*. Neste caso, para que uma indutância possa ser considerada um *RF Choke*, a sua reactância deve ser, regra prática, dez vezes superior à reactância de C_1 , ou seja:

$$X_{\text{LDC}} > 10 X_{C1} \quad \Rightarrow \quad L_{\text{DC}} > \frac{10}{\omega^2 C_1} \quad (4.47)$$

No entanto, é preferível que a indutância L_{DC} funcione como uma indutância designada por *DC feed*, dado que a sua resistência é menor com um menor valor de indutância, o que leva ao aumento da eficiência para a mesma potência de saída e tensão de alimentação [57]. Como a excursão da tensão de dreno é máxima quando a indutância L_{DC} forma um circuito ressonante com C_1 , a sua indutância é determinada por:

$$L_{DC} = \frac{1}{\omega^2 C_1} = 65 \text{ nH} \quad (4.48)$$

Na figura 4.50 ilustra-se o *layout* do transistor M_1 e do modulador ASK, ambos do lado esquerdo da imagem. Do lado direito, encontra-se parte do *pad* de ligação ao exterior.

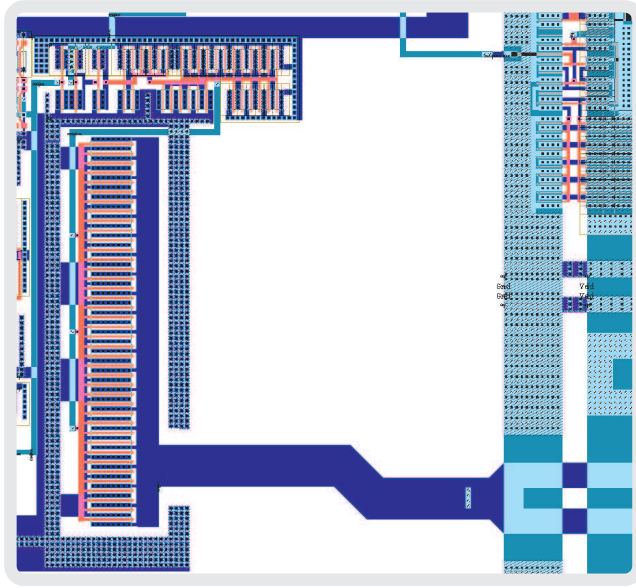


Figura 4.50 – *Layout* do modulador ASK e do transistor M_1 .

Simulação

Na figura 4.51 ilustra-se uma das simulações obtidas com o amplificador implementado. O traço superior (a) é o sinal V_{ASK} e o traço inferior (b) representa o sinal obtido numa carga de 50Ω .

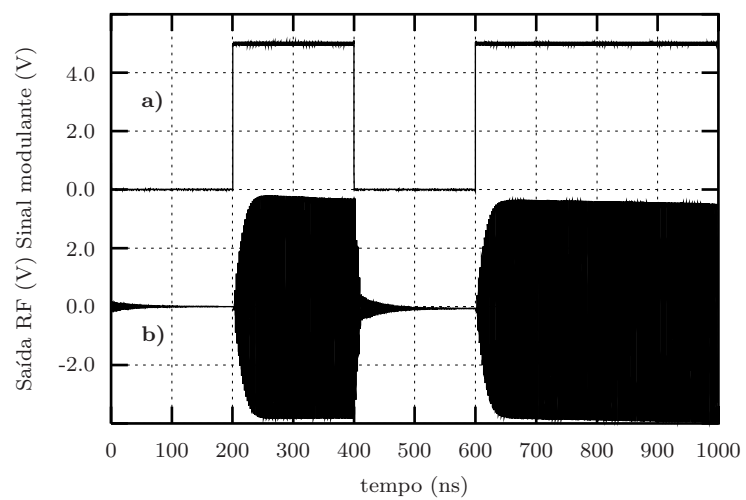


Figura 4.51 – Resposta transitória do amplificador numa carga de $50\ \Omega$.

4.5 *Layout* da micro-interface sensorial

Para finalizar este capítulo, apresenta-se na figura 4.52 uma microfotografia comentada da micro-interface sensorial. As suas dimensões são de 2,04 mm por 1,86 mm (3,79 mm²).

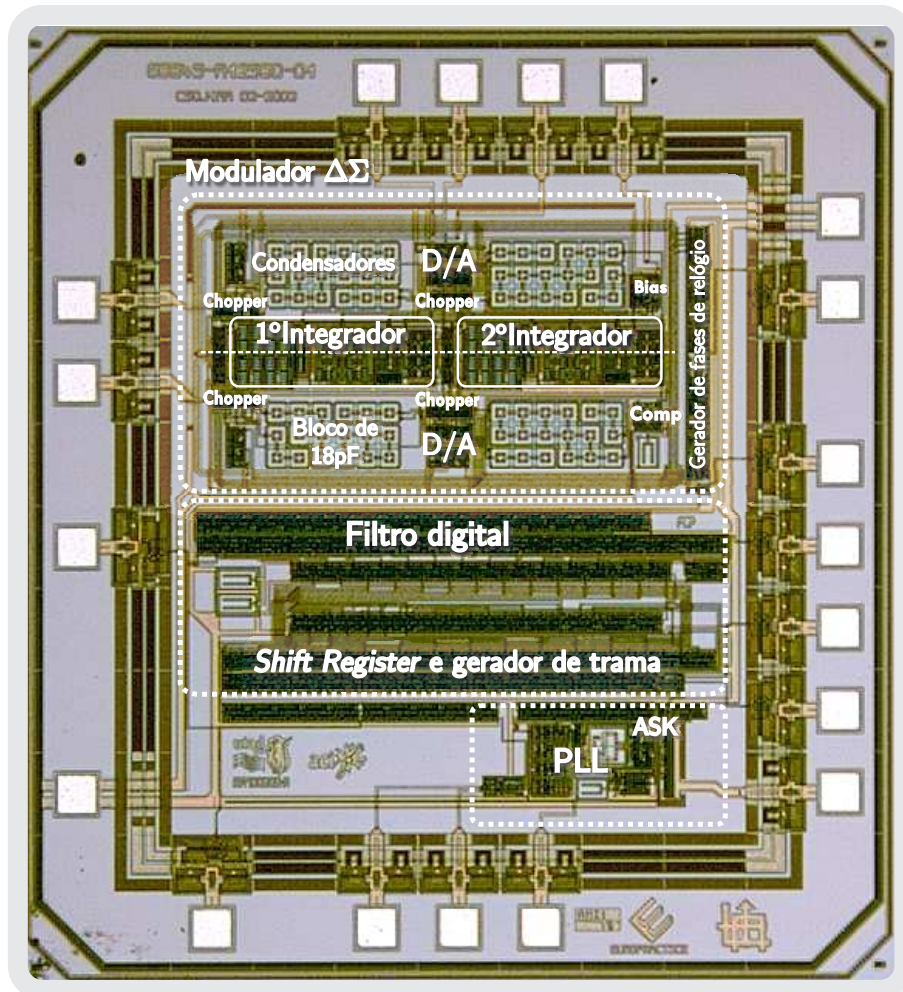


Figura 4.52 – Fotografia comentada da micro-interface sensorial.

No capítulo seguinte, apresentam-se os resultados obtidos nos ensaios ao protótipo implementado.

5

Resultados Experimentais e Discussão

A micro-interface sensorial foi fabricada no IMEC–Bélgica, através do programa EUROPRACTICE, utilizando o processo CMOS *Alcatel—Mietec Semiconductor* 0.7 μm (AMI C07M-A, N—WELL/ 2M/ 1P/ PDIFFC/ HIPOR). Neste capítulo, apresentam-se os resultados obtidos durante os testes e medidas efectuadas com o protótipo, finalizando-se com a sua discussão.

Para caracterizar o protótipo da micro-interface foi desenhado um circuito impresso onde foram colocados todos os componentes passivos, tensões de referência e desacoplamento das tensões de alimentação (figura 5.1). A disposição dos componentes e o respectivo esquema eléctrico encontram-se ilustrados nas figuras 5.2 e 5.3, respectivamente.

A micro-interface sensorial foi caracterizada pela avaliação dos desempenhos do modulador $\Delta\Sigma$ e do subsistema de transmissão de dados, onde está incluído o emissor RF. O modulador foi caracterizado individualmente, dado que a sua saída (Bitstream) está acessível ao exterior. O desempenho do emissor RF foi avaliado através do envio consecutivo de tramas geradas pelo subsistema de transmissão de dados, onde a sequência binária de saída do modulador é filtrada e da qual resultam amostras de comprimento 14 bits.

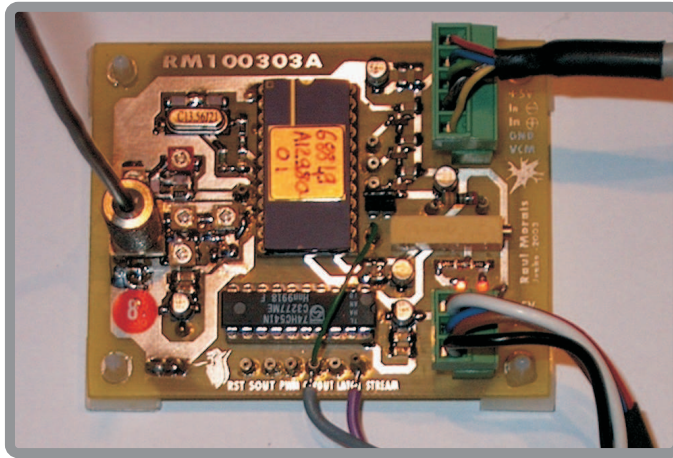


Figura 5.1 – Fotografia do circuito de caracterização da micro-interface sensorial.

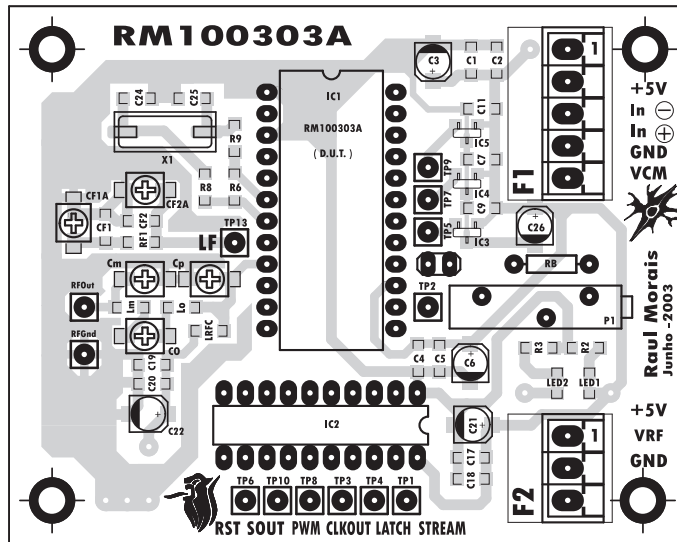


Figura 5.2 – Disposição dos componentes no circuito impresso.

5.1 Testes ao desempenho do modulador $\Delta\Sigma$

Para determinar as características do modulador $\Delta\Sigma$, aplicaram-se à sua entrada sinais de características distintas (gerados por uma fonte de sinal de precisão) e capturaram-se as correspondentes sequências binárias para um computador, onde se procedeu à filtragem e decimação através do ambiente MATLABTM. Dado que a informação na sequência de saída do modulador está contida na densidade de impulsos a ‘1’ e a ‘0’, houve a necessidade de construir um circuito adequado à sua

A decimação é feita por redução sucessiva de taxa de amostragem com razão constante e igual a 4. O último filtro é responsável pela obtenção de amostras que ocorrem à frequência de Nyquist ($f_N = 1655 \text{ Hz}$) do sinal de entrada. Os filtros utilizados foram do tipo FIR e os seus coeficientes foram determinados através da função `remez` do MATLAB. A ordem dos três primeiros filtros foi de 63 enquanto que no último foi de 255.

Na figura 5.4 apresenta-se o espectro obtido para um sinal de entrada de amplitude -20 dBV e frequência 200 Hz . Como se observa da figura, um tom de frequência 50 Hz está presente devido à rejeição insuficiente da componente fundamental da rede eléctrica. Verificou-se, no entanto, que este tom foi injectado no sinal através do circuito utilizado para a captura da sequência binária. A distorção, essencialmente de segunda ordem, está também presente. Como se verificou que a amplitude desta componente é bastante sensível aos circuitos utilizados para a caracterização, provavelmente esta não é devida ao próprio modulador. Como esperado, o ruído de baixa frequência (*flicker noise*) é atenuado pela operação do *chopper* do primeiro integrador. Os lóbulos na zona de baixas frequências, que representam o desvio DC do modulador, são essencialmente devidos à resolução limitada da FFT utilizada na determinação deste espectro.

Nas figuras 5.5 e 5.6 ilustram-se os espectros obtidos para sinais de frequência 300 Hz e 20 Hz , respectivamente. Também no espectro da figura 5.5 está presente a componente de 50 Hz da rede eléctrica e o respectivo terceiro harmónico. Além da componente fundamental de 300 Hz aparece uma componente de segundo harmónico. Também na figura 5.6 aparecem as mesmas componentes relativas ao segundo harmónico do sinal e às relativas à rede eléctrica.

A repetição dos procedimentos descritos anteriormente para sinais de amplitude variável, tornou possível traçar a curva que determina a gama dinâmica do modulador $\Delta\Sigma$. Na figura 5.7 apresentam-se os valores de SNDR (*Signal to Noise+Distorsion Ratio*) em função de um sinal de entrada sinusoidal de amplitude variável. A entrada de nível 0 dBV representa um sinal sinusoidal cuja amplitude, pico-a-pico, corresponde ao espaçamento entre os dois níveis do conversor D/A, ou seja, aos valores da tensão de referência ($1,25 \text{ V}$ diferencial).

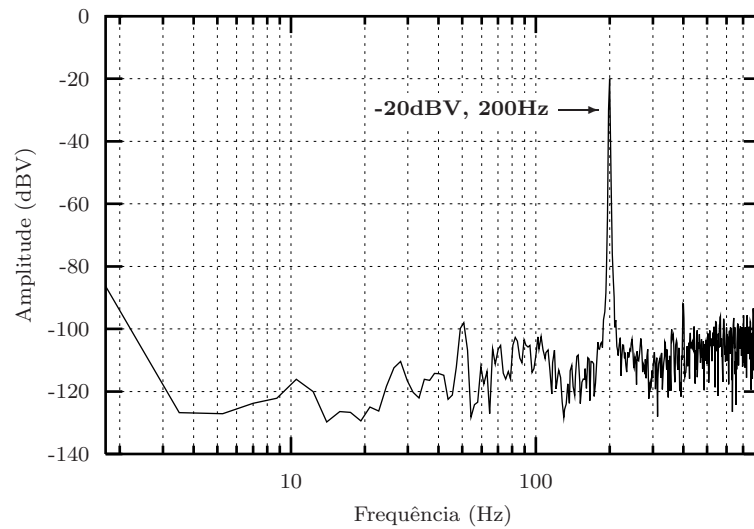


Figura 5.4 – Espectro obtido para uma entrada sinusoidal de amplitude -20 dBV e frequência 200 Hz (FFT com 946 pontos, janela de *Hanning*).

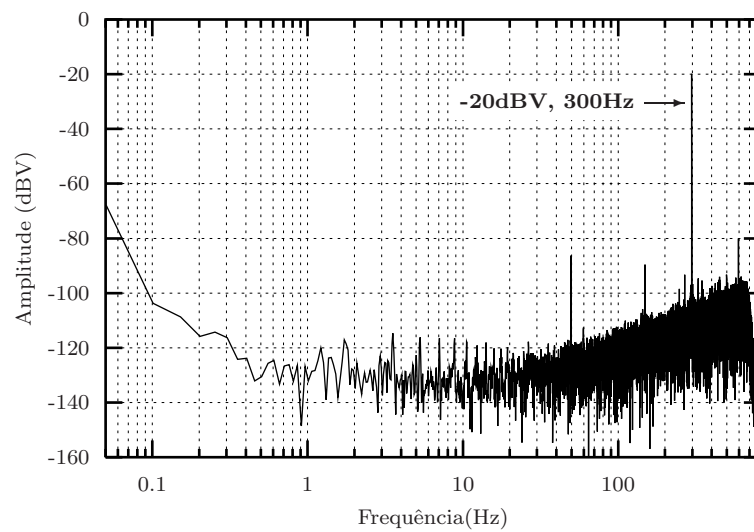


Figura 5.5 – Espectro obtido para uma entrada sinusoidal de amplitude -20 dBV e frequência 300 Hz (FFT com 32689 pontos, janela de *Hanning*).

A frequência do sinal sinusoidal à entrada é 100 Hz e a frequência de amostragem, f_s , de 423,75 KHz com um taxa de sobreamostragem $M = 256$. A gama dinâmica obtida foi de 98.7 dB, o que resulta numa resolução efectiva (ENOB) de 16,1 bits. O valor máximo de SNDR obtido neste teste foi de 95.2 dB.

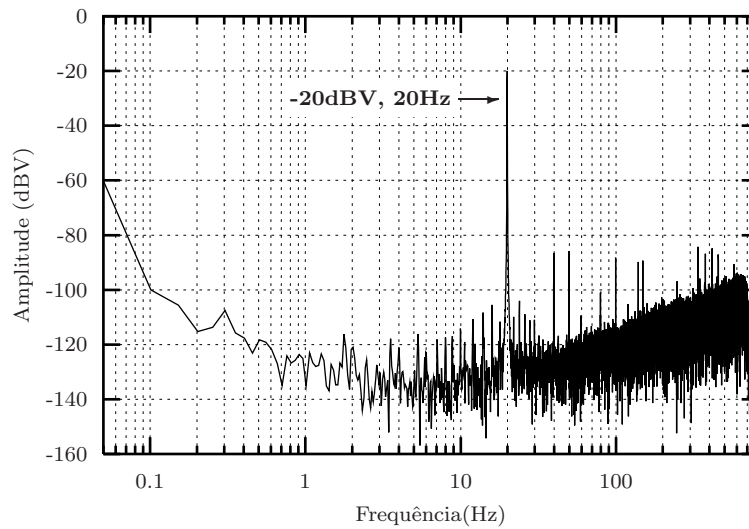


Figura 5.6 – Espectro obtido para uma entrada sinusoidal de amplitude -20 dBV e frequência 20 Hz (FFT com 32689 pontos, janela de *Hanning*).

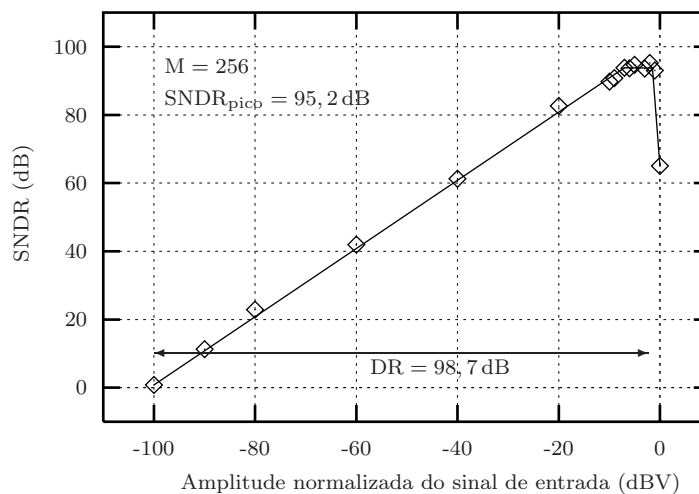


Figura 5.7 – Valores de SNDR e DR obtidos para uma entrada sinusoidal de 100 Hz e amplitude variável, com uma taxa de amostragem $M = 256$.

Na figura 5.8 apresentam-se as formas de onda obtidas à saída do modulador quando as suas entradas são curto-circuitadas e colocadas à tensão em modo comum (2,048 V), a que corresponde uma entrada diferencial de valor zero. Se se considerar que a sequência binária toma os valores ‘+1’ e ‘-1’, o valor médio da sequência binária é zero – como se pode observar na figura 5.8(a) –, o que corresponde à

representação digital da entrada. No entanto, esta sequência alternada de ‘+1’ e ‘-1’ não se mantém constante, como pode ser visto na figura 5.8(b). Esta alteração de padrão para uma entrada nula confirma a presença do ruído. Eventualmente, acabará por existir um número superior de impulsos a ‘1’, que se constatou após contagem de 16 bits da sequência. A média do resultado de 20 contagens para sequências idênticas permitiu verificar um ligeiro valor positivo (29/65535), que se deve ao ruído presente na saída do modulador.

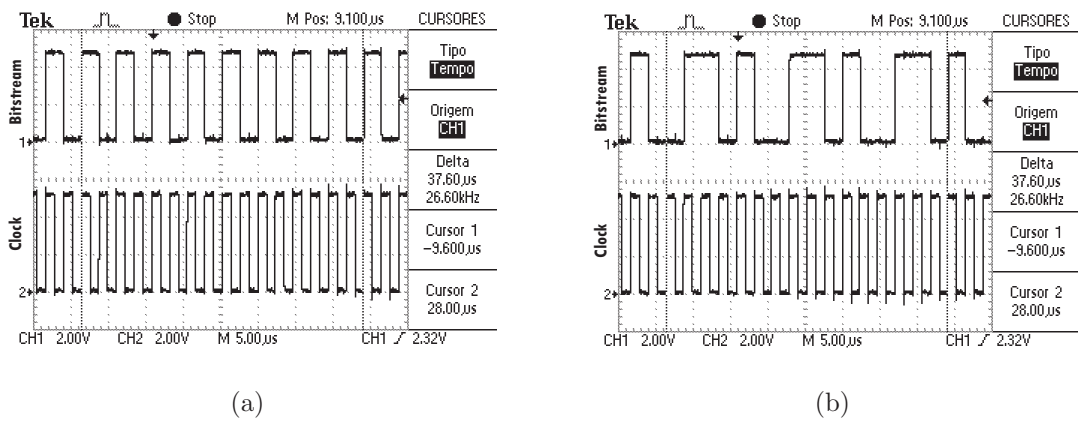


Figura 5.8 – Sinal de relógio e saída do modulador $\Delta\Sigma$ para uma entrada diferencial zero.

5.2 Testes do subsistema de transmissão

Os testes realizados ao subsistema de transmissão de dados foram divididos em duas fases. A primeira consistiu na verificação do funcionamento de todos os circuitos digitais de codificação em largura de impulso e modulação ASK através dos pinos deixados para o efeito. Na segunda fase verificou-se a operação do amplificador de potência RF.

Na figura 5.9 ilustram-se as formas de onda obtidas nos pinos SOUT, PWM, LATCH e $\overline{\text{RESET}}$. Na figura 5.9(a) apresenta-se a forma de onda em SOUT correspondente a uma trama completa e o resultado (em PWM) da sua codificação em largura de impulso. A figura 5.9(b) ilustra em pormenor o início da trama. Tal como esperado, para o nível lógico ‘1’ o sinal em PWM ocupa 75 % do tempo de cada bit

($\approx 151 \mu\text{s}$) enquanto que para o nível lógico ‘0’ o sinal em PWM é 25 % desse tempo.

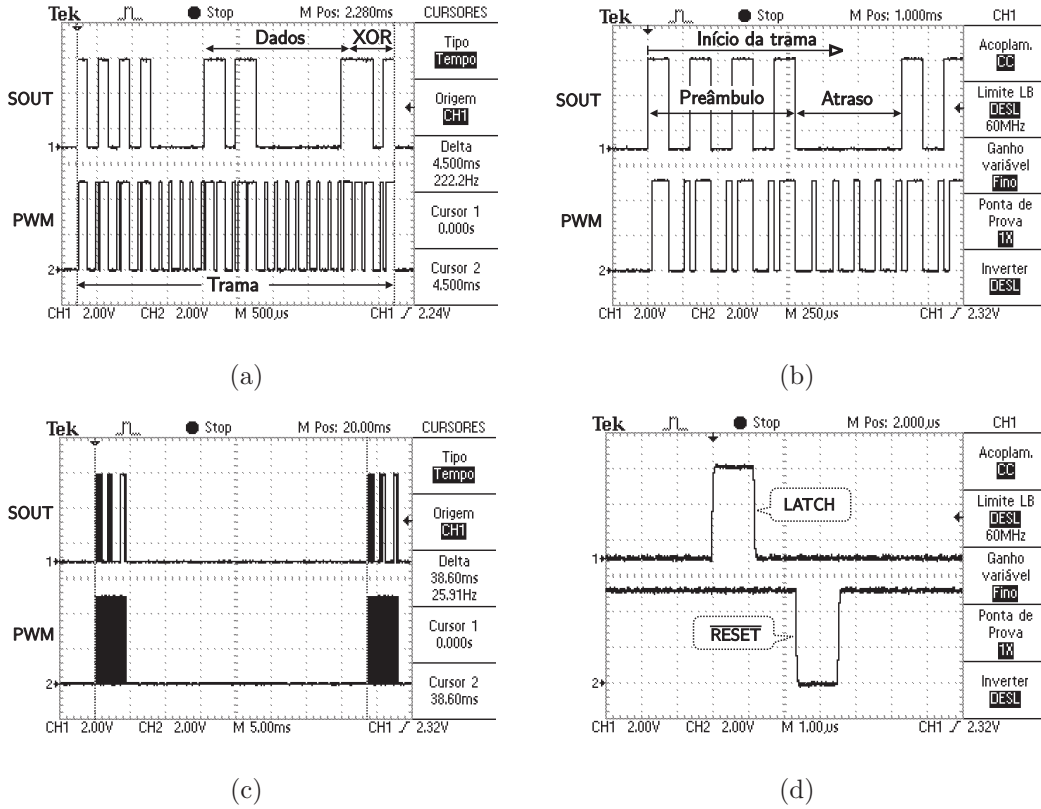


Figura 5.9 – Formas de onda relacionadas com a geração de trama: (a) – Trama completa, (b) – Parte inicial (preâmbulo e campo de atraso), (c) – Separação entre 2 tramas transmitidas e, (d) – Sinais de LATCH e de $\overline{\text{RESET}}$ que despoletam cada transmissão.

Na figura 5.9(c) ilustram-se duas tramas consecutivas. Cada trama ocorre a cada 38,6 ms, o que corresponde a uma taxa de transferência de aproximadamente 25 amostras por segundo. Já na figura 5.9(d) encontram-se ilustradas duas formas de onda relacionadas com o processamento das tramas. O sinal de LATCH é responsável pelo armazenamento de cada amostra de 14 bits proveniente do contador, enquanto que o sinal $\overline{\text{RESET}}$ repõe a zero o valor dessa contagem. O processo de construção da trama é iniciado pelo sinal LATCH.

O sinal PWM é responsável pela modulação ASK e, deste modo, comuta internamente a portadora de 433,92 MHz. O resultado é aplicado ao elemento activo do amplificador de potência RF. O teste de desempenho do amplificador consistiu

em determinar a potência RF do sinal emitido. Para tal utilizou-se um analisador espectral (TEKTRONIC 2710) e utilizou-se uma ponta de prova de $50\ \Omega$. As perdas desta foram determinadas através do *tracking generator* do analisador, do que resultou uma atenuação de 2 dB à frequência de 433 MHz. O espectro obtido, após o ajuste dos condensadores da rede de carga do amplificador, encontra-se ilustrado na figura 5.10.

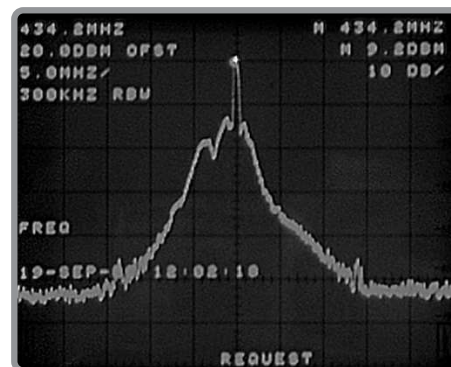


Figura 5.10 – Espectro obtido para a saída do amplificador de potência (escala vertical de 10 dB/div, escala horizontal de 5 MHz/div e resolução em largura de banda de 300 KHz).

O valor da potência da portadora é de 9,2 dBm o que, tendo em consideração a atenuação da ponta de prova, corresponde a uma potência total de aproximadamente 11,2 dBm (13,2 mW). A informação transmitida encontra-se nas bandas laterais da portadora. Pode também observar-se uma pequena componente simétrica em torno da frequência central – afastada de 13,5 MHz – que corresponde à frequência de operação do detector de fase/frequência da PLL.

O teste que se sucedeu consistiu em determinar o alcance da transmissão. Para tal utilizou-se um monopólio como antena (sem plano de massa director), como se pode observar na figura 5.1. Como receptor, optou-se por utilizar um módulo comercial (LM-RXAM2433 da *Low-Power Radio Solutions, Ltd*). Na figura 5.11 ilustram-se as formas de onda de uma trama transmitida e recebida (à distância de cerca de 3 m).

A forma de onda da trama obtida no receptor encontra-se ligeiramente atrasada em relação à transmitida, e sofre de alguma distorção causada pelos circuitos internos

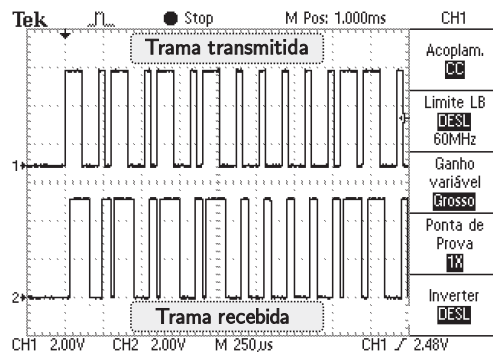


Figura 5.11 – Formas de onda de uma trama transmitida (parte superior) e a recebida por um dispositivo comercial de recepção (LM-RXAM2433 da LPRS).

do módulo de recepção. Seguidamente, afastou-se sucessivamente o receptor para determinar o alcance da emissor. Para distâncias superiores a 50 m, a taxa de erros aumentou significativamente.

5.3 Discussão dos resultados

Um dos principais parâmetros de desempenho de um modulador $\Delta\Sigma$ é a sua gama dinâmica. Como referido anteriormente, este valor depende da contribuição de todas as fontes de ruído presentes no circuito e da tensão de referência do modulador. O valor estimado para a gama dinâmica foi de 106,46 dB o que corresponde a uma resolução efectiva superior a 17 bits. Este valor foi determinado tendo apenas em conta as contribuições do ruído de quantificação e do ruído térmico provocado pelos condensadores de amostragem à entrada do primeiro integrador. O valor obtido experimentalmente (98,7 dB) é coerente com o esperado, dado que as fontes de ruído não consideradas na estimativa formam contribuições mínimas mas existentes. O aumento da taxa de sobreamostragem bem como da frequência de amostragem além do mínimo teórico, permitiram manter a gama dinâmica desejada com todas as fontes de ruído presentes no circuito. Foi também considerada a hipótese de se efectuarem testes ao modulador com uma frequência de amostragem dupla da original (≈ 847 KHz) no sentido de se reduzir ainda mais o ruído de quantificação. No entanto, esta hipótese foi colocada de parte dado que não se conseguiu capturar

a sequência binária para o computador. Isto deveu-se a que para esta frequência, a taxa de transferência seria de 847,5 kbit/s, sendo a máxima obtida de 768 kbit/s, bastante inferior à especificação da porta paralela no modo EPP (2 Mbit/s).

Outro aspecto de realce é a ausência de tons relativos ao ruído gerado na secção RF. Julga-se que esta ausência se deva a dois factores. O facto de a frequência da portadora ser um múltiplo inteiro da frequência de amostragem do modulador, leva a que estes tons estejam na banda de rejeição do filtro digital. Aliás, é precisamente este facto que leva a que filtros digitais do tipo *sinc* sejam estruturas simples e eficientes, especialmente quando o ruído é de frequência múltipla à da amostragem. Outro factor prende-se com o desenho do *layout*. A estrutura totalmente simétrica do modulador, o afastamento das suas entradas face às zonas mais ruidosas e a colocação ao longo do substrato de zonas de difusão de isolamento, terão também contribuído para minimizar o ruído.

Relativamente aos procedimentos de filtragem digital, embora tivesse sido referido no capítulo segundo que a filtragem óptima de moduladores $\Delta\Sigma$ de ordem L poderia ser obtida com um filtro do tipo *sinc* de ordem $L + 1$, optou-se pela utilização de filtros de ordem superior, computacionalmente mais exigentes, no sentido de se efectuar uma filtragem próxima da ideal. Assim, com este tipo de filtragem, a gama dinâmica obtida corresponde ao valor máximo (dentro da tolerância que se atribui à idealidade do filtro utilizado) que é possível obter do modulador.

As características de um filtro a ser integrado juntamente com a interface deverão ser equacionadas tendo em conta as características desejadas para cada aplicação da micro-interface. Isto deve-se ao facto de que a integração de filtros digitais envolve uma área considerável de *layout* que depende da complexidade e da capacidade computacional do filtro. Além disso, em muitas aplicações não é necessário uma resolução da ordem dos 16 bits. Para resoluções moderadas – 10/12 bits –, a filtragem pode inclusivamente ser efectuada através de uma contagem de média ou, alternativamente, com filtros de ordem superior mas de baixa complexidade relativa.

Em relação ao emissor RF, o valor obtido para potência de saída está de algum modo de acordo com o esperado. É superior ao calculado e as razões podem ser

várias, como por exemplo a rede de transformação de impedância da antena e a tensão de alimentação. Estes são dois dos parâmetros que influenciam directamente o valor da potência de saída. O alcance da transmissão, sendo função da potência emitida também o é em relação à potência DC consumida. Em aplicações muito específicas e localizadas o valor obtido da potência total consumida pela micro-interface poderá ser excessivo. No entanto, esta poderá ser substancialmente reduzida através da diminuição da potência RF.

Finalmente, apresentam-se na tabela 5.1 as características da micro-interface sensorial.

Tabela 5.1 – Resumo das características da micro-interface sensorial.

Parâmetro	Valor	Unidades
Área	$1,86 \times 2,04$	mm ²
Tensão de alimentação	5,0	V
Total de potência dissipada	30,3	mW
Modulador $\Delta\Sigma$		
Taxa de sobreamostragem, M	256	—
Frequência de amostragem, f_s	423,75	KHz
Tensão de referência (diferencial), V_{REF}	1,25	V
Gama dinâmica, DR	98,7	dB
Resolução efectiva, ENOB	16,1	bit
SNR _{pico}	95,2	dB
Emissor RF		
Potência de saída (em 50 Ω)	11,2	dBm
Eficiência de conversão de potência DC	61	%
Alcance na recepção ¹	> 50	m

¹Com um dispositivo de recepção comercial (LM-RXAM2433 - LPRS)

6

Conclusões Finais e Trabalho futuro

Neste trabalho foi apresentada uma micro-interface sensorial com conversão A/D $\Delta\Sigma$ e transmissão de dados sem fios, através de um emissor de rádio-frequência, implementada em tecnologia CMOS. Foram discutidos os aspectos fundamentais por detrás da sua concepção que levaram às suas características, adequadas à maior parte dos sensores que podem ser utilizados para quantificar as grandezas físicas relevantes na agricultura. A baixa frequência dos sinais envolvidos, característica comum nesta aplicação, determinaram a escolha de uma arquitectura $\Delta\Sigma$ de segunda ordem. Além da sua robustez, estabilidade, imunidade ao ruído e às não idealidades dos circuitos, esta arquitectura apresenta um elevado grau de flexibilidade na sua integração com diversos tipos de microssensores. As características distintas destes, como a amplitude dos seus sinais, podem ser parcialmente satisfeitas pelo escalonamento das tensões de referência do conversor, bem como através da relação entre os condensadores que definem o ganho em cada estágio. Além disso, podem também ser utilizados, sem grandes alterações de *layout*, microssensores cuja saída seja em corrente ou em variação de capacidade eléctrica, bem como o respectivo condicionamento.

A gama dinâmica obtida (98,7 dB), consistente com 16 bits de resolução, permite a utilização da micro-interface com sensores cuja saída seja de baixo nível. Nos casos

em que não é necessária uma elevada resolução na medida, como por exemplo a temperatura e a radiação solar, é possível a utilização de filtros digitais decimadores bastante simples e pouco consumidores de área de *layout*. Através de um esquema simples e unidireccional de transmissão de dados, esta solução integrada promove a substituição de sensores discretos, com as vantagens já mencionadas ao longo deste documento. O valor obtido experimentalmente da potência do sinal RF transmitido (11,2 dBm) possibilita um razoável raio de cobertura – cerca de 50 m – permitindo que um sistema de gestão local destas unidades cubra, individualmente, uma vasta área de influência. O consumo total da micro-interface – cerca de 30 mW –, é compatível com a utilização de um painel solar para a sua alimentação.

Em aplicações onde apenas é permitido um processamento *on-chip* mínimo, a cadeia de processamento poderá ser dividida em duas fases. A primeira é resultante do processamento directo da saída do modulador para o subsistema de transmissão de dados, enquanto que na segunda fase, e após a recepção da informação por parte de um sistema hierarquicamente superior, o processamento é finalizado. Neste caso, o modulador apenas necessita de ser integrado juntamente com o subsistema de transmissão de dados, deixando para um nível superior o processamento final.

Os resultados obtidos confirmam que as tecnologias da microelectrónica podem, e devem, ser aplicadas à agricultura. A possibilidade de medida através de sistemas de dimensões mínimas, potencia a sua utilização em massa e permite medir variáveis que de outra forma seria impensável [58]. Embora alguma investigação tenha ainda de ser feita, pode-se afirmar que foi dado um passo importante na melhoria da gestão dos processos agrícolas. No caso particular da medição do teor de água em solos agrícolas, a integração no mesmo substrato do microssensor correspondente com a interface sensorial proposta é de facto uma potencial solução universal para a medição deste parâmetro. Isto porque as medidas podem ser realizadas ao nível da raiz da planta, o que se reveste de especial relevância em sistemas de controlo de irrigação.

Perspectivas de trabalho futuro

Num trabalho nesta área, é sempre difícil, ou mesmo impossível, afirmar que foi alcançada a solução final. Embora esta interface sensorial seja o bloco fundamental de um sistema de medição remoto, subsistem ainda alguns aspectos que devem ser equacionados e ser alvo de investigação futura, até se alcançar, eventualmente, uma solução comercial de sucesso. Existem essencialmente três vertentes distintas que têm ainda de ser exploradas. A primeira relaciona-se com o subsistema de alimentação. A utilização de células solares é, aparentemente, aquela que proporciona maiores vantagens como fonte de energia gratuita e renovável. Além disso, é possível inferir sobre os índices de radiação solar através destas células, fazendo também delas sensores. Também o facto de poderem ser realizadas no silício complementa as vantagens da sua utilização. No entanto, e durante os períodos nocturnos, torna-se necessário a utilização de baterias que deverão ser recarregáveis. Assim, devem ser incluídos numa futura interface os subsistemas de alimentação responsáveis pela gestão de energia. É evidente que este processo deve ser acompanhado pela redução de consumo de toda a interface actual, evoluindo no sentido das soluções *low-voltage*, *low-power*.

Uma segunda vertente relaciona-se com o subsistema de transmissão de dados. Nesta, existem várias opções que devem ser ponderadas. A mais importante é talvez a utilização de uma frequência de operação bastante superior, sendo a tecnologia *Bluetooth* uma excelente candidata, dada a sua compatibilidade com a terceira geração de telemóveis. A utilização de frequências superiores permitirá inclusive integrar a própria antena no perímetro do *chip*, reduzindo-se o tamanho da solução completa. Além disso, a bidireccionalidade nas comunicações possibilitará a solicitação de dados e o controlo das funções internas, o que se traduz num número controlado de transmissões e, conseqüentemente, num consumo menor.

Finalmente, resta referir a vertente de investigação relacionada com o encapsulamento. Sistemas aplicados em ambiente agrícolas têm ser caracterizados por um elevado grau de protecção contra ambientes agressivos. Além da protecção, o

encapsulamento deve permitir, e inclusive servir de suporte, à utilização destes microssistemas em locais extremamente específicos e delicados, como por exemplo nas raízes, folhas e caules das plantas. No caso particular da medida da radiação solar, o encapsulamento pode constituir um filtro óptico, permitindo efectuar a medição, através de fotodíodos, da radiação solar que promove efectivamente o desenvolvimento das plantas.

Com base nas três directrizes traçadas, ilustra-se na figura 6.1 uma proposta de um sistema completo para a medida de radiação PAR.

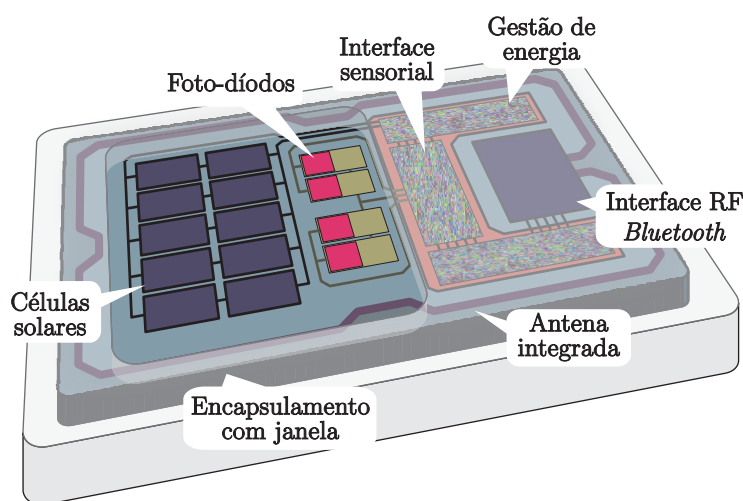


Figura 6.1 – Proposta de um microssistema completo para a medição de radiação solar.

Um microssistema do tipo representado na figura 6.1 será com certeza de bastante utilidade em estudos diversos, como por exemplo na detecção dos índices de radiação solar a várias profundidades de água, em estudos de quantificação de plâncton, e em estudos que visem determinar as características de transmissão ópticas e reflexão das coberturas para estufas agrícolas, e o modo que estas afectam a produção agrícola.

Finaliza-se esta tese com a convicção de que o trabalho apresentado pode constituir um pilar para a evolução e melhoria da gestão dos processos agrícolas.

Bibliografia

- [1] “Embedded, Everywhere,” National Research Council, Committee on Network Systems of Embedded Computers, National Academy Press, Washington, D.C., USA, 2001.
- [2] W. Day, *Computer Opportunities in Agriculture and Horticulture*, ch. The Computerized Greenhouse, pp. 225–240. Academic Press, San Diego, USA, 1993.
- [3] “Precision Agriculture in the 21st Century: Geospatial and Information Technologies in Crop Management,” National Research Council, Board on Agriculture, Committee on Assessing Crop Yield: Site-Specific Farming, Information Systems and Research Opportunities, National Academy Press, Washington, D.C., USA, 1997.
- [4] W. Simonton, “Automated Plant Handling and Processing in a Robotic Workcell,” in *Mathematical and Control Applications in Agriculture and Horticulture*, pp. 213–218, Pergamon Press, Oxford, 1991.
- [5] E. Z. Enoch and Y. Enoch, *History and Geography of the Greenhouse*, pp. 1–15. Elsevier Science B. V., The Netherlands, 1999.

- [6] M. V. Pee and D. Berckmans, "Quality of Modelling Plant Responses for Environment Control Purposes," in *ICCTA '96 - ICT Applications in Agriculture*, pp. 359–367, 1996.
- [7] F. Zazueta, R. Bucklin, P. Jones, and A. Smajstrla, "Basic Concepts in Environment Computer Control of Agricultural Systems," Circular 1029, Florida Cooperative Extension Service, IFAS, 1991.
- [8] B. A. Kimball, *Influence of Elevated CO₂ on Crop Yield*, vol. II, ch. CO₂ Enrichment of Greenhouse Crops, pp. 105–116. CRC Press, Boca Raton, FL, 1986.
- [9] P. Young, M. A. Behdazi, A. Chotai, and P. David, "The Modelling and Control of Nutrient Film Systems," in *Computer Applications in Agriculture Environments*, pp. 21–43, Butterworths, 1987.
- [10] Ministerial Meeting on, "Water for Food and Agriculture." Issue Paper, Third World Water Forum, Kyoto, Japan, March 2003.
- [11] R. Morais, "Estação multisensorial para estufas agrícolas," Master's thesis, Universidade do Minho, Departamento de Electrónica Industrial, Braga, 1998.
- [12] K. A. A. Makinwa and J. H. Huijsing, "A smart wind sensor using thermal sigma-delta modulation techniques," *Sensor and Actuators A* 3328, pp. 1–6, 2002.
- [13] M. L. Simpson, G. S. Sayler, G. Patterson, D. E. Nivens, E. K. Bolton, J. M. Rochelle, J. C. Arnott, B. M. Applegate, S. Ripp, and G. Michael A, "An integrated CMOS microluminometer for low-level luminiscence sensing in the bioluminescent bioreporter integrated circuit," *Sensor and Actuators B* 72, pp. 134–140, 2001.
- [14] K. L. Kraver, M. R. Guthaus, T. D. Strong, P. L. Bird, G. S. Cha, W. Höld,

- and R. B. Brown, "A mixed-signal sensor interface microinstrument," *Sensor and Actuators A* 91, pp. 266–277, 2001.
- [15] B. Warneke, M. Scott, B. Leibowitz, Z. Lixia, C. Bellew, J. Chediakl, J. Kahn, B. Boser, and K. Pister, "An Autonomous 16 mm³ Solar-Powered Node for Distributed Wireless Sensor Networks," in *Proceedings of the IEEE Sensors*, vol. 2, pp. 1510–1515, June, 2002.
- [16] G. Asada, M. Dong, T. Lin, F. Newberg, G. Pottie, W. Kaiser, and H. Marcy, "Wireless Integrated Network Sensors: Low Power Systems on a Chip," in *Proceedings of the 1998 European Solid State Circuits Conference, Invited Paper*, 1998.
- [17] D. Chang, G. Asada, W. Kaiser, and O. Stafsudd, "Micropower High-Detectivity Infrared Sensors System," in *Proceedings of the 1998 IEEE Solid-State Sensor and Actuator Workshop*, 1998.
- [18] T.-H. Lin, H. Sanchez, H. Marcy, and W. Kaiser, "Cmos Front End Components for Micropower RF Wireless Sensors," in *Digest of the 1998 IEEE Radio Frequency Integrated Circuits (RFIC) Symposium*, June 7-9 1998.
- [19] N. Najafi, K. Wise, R. Merchant, and J. Schwank, "An integrated multi-element ultra-thin-film gas analyser," in *IEEE 5th Technical Digest on Solid-State Sensor and Actuator Workshop*, (Hilton Head Island, SC, USA), pp. 19–22, June, 1992.
- [20] A. Valente, R. Morais, C. Couto, and J. H. Correia, "A MCM-based microsystem for soil moisture measurements," in *Euroensors, the 16th European Conf. on Solid-State Transducers*, (Prague, Czech Republic), September 2002.
- [21] A. Valente, R. Morais, C. Couto, and J. H. Correia, "Modeling and simulation of a silicon soil moisture sensor based on the DPHP method for agriculture," in *Euroensors, the 17th European Conf. on Solid-State Transducers*, (Guimarães, Portugal), September 2003.

- [22] A. Papoulis, "A New Algorithm in Spectral Analysis and Band-Limited Extrapolation," *IEEE Transactions on Circuits and Systems*, vol. 22, no. 9, pp. 735–742, 1975.
- [23] J. A. Jerri, "The Shannon Sampling Theorem – Its Various Extensions and Applications: A Tutorial Review," *Proceedings of the IEEE*, vol. 66, no. 11, pp. 1565–1596, 1977.
- [24] W. R. Bennett, "Spectra of quantized signals," *Bell Sys. Tech. J.*, vol. 27, pp. 446–472, July 1948.
- [25] B. E. Boser and B. A. Wooley, "The Design of Sigma-Delta Modulation Analog-to-Digital Converters," *IEEE Journal of Solid-State Circuits*, vol. 23, no. 6, pp. 1298–1308, 1988.
- [26] J. C. Candy and G. C. Temes, *Oversampling Delta-Sigma Data Converters*. New York: IEEE Press, 1992.
- [27] H. Inose, Y. Yasuda, and J. Murakami, "A Telemetry System by Code Modulation - $\Delta\Sigma$ Modulation," *IRE Transactions on Space Electronics and Telemetry*, vol. 8, pp. 204–209, September, 1962.
- [28] J. C. Candy, "A Use of Double Integration in Sigma-Delta Modulation," *IEEE Transactions on Communications*, vol. 33, pp. 249–258, 1985.
- [29] M. Djurica, *Design of Low Power Analog to Digital Converters*. PhD thesis, Delft University of Technology, Delft, The Netherlands, 2001.
- [30] M. Ortmanns, F. Gerfers, and Y. Manoli, "Clock Jitter Insensitive Continuous-Time $\Delta\Sigma$ Modulators," *IEEE Int. Conf. On Electronics, Circuits and Systems*, vol. 3, pp. 1049–1052, 2001.
- [31] C. A. Leme, *Oversampled Interfaces for IC Sensors*. PhD thesis, Diss. ETH N°10416, Physical Electronics Laboratory, ETH Zurich, 1993.

- [32] P. Malcovati, *CMOS Thermoelectric Sensor Interfaces*. PhD thesis, Diss. ETH N°11424, Physical Electronics Laboratory, ETH Zurich, 1996.
- [33] P. E. Allen and D. R. Holberg, *CMOS, Analog Circuit Design*. VER: Oxford Series in Electrical and Computer Engineering, 1997.
- [34] J. C. Candy, "Decimation for Sigma Delta Modulation," *IEEE Transactions on Communications*, vol. COM-34, pp. 72–76, 1986.
- [35] B. Brandt, *Oversampled Analog-to-Digital Conversion*. PhD thesis, Stanford University, 1991.
- [36] G. Asada, T. Dong, F. Lin, G. Pottie, W. Kaiser, and H. Marcy, "Wireless integrated network sensors: Low power systems on a chip," *European Solid State Circuits Conference (ESSCIRC'98)*, pp. 9–16, September 1998.
- [37] A. Mason, N. Yazdi, A. V. C. anf K. Najafi, and K. D. Wise, "A Generic Multielement Microsystem for Portable Wireless Application," *Proceedings of the IEEE*, vol. 86, no. 8, pp. 1733–1746, 1998.
- [38] J. Rabaey, J. Ammer, T. Karalar, S. Li, B. Otis, M. Sheets, and T. Tuan, "Picoradios for wireless sensors networks: The next challenge in ultra-low-power," *IEEE International Solid-State Circuits Conference*, pp. 200–201, July 2002.
- [39] B. A. Warneke, M. Scott, B. Leibowitz, L. Zhou, C. Bellew, J. M. Kahn, B. E. Boser, and K. S. J. Pister, "An autonomous 16 mm³ solar-powered node for distributed wireless sensors networks," *Proceedings of IEEE Sensors 2002*, pp. 1510–1515, June 2002.
- [40] F. H. Raab, P. Asbeck, S. Cripps, P. B. Kenington, Z. B. Papovic, N. Potheary, J. F. Sevic, and N. O. Sokal, "RF and Microwave Power Amplifier and Transmitter Technologies - Part 1," *High Frequency Electronics*, vol. 2, no. 3, pp. 22–36, 2003.

- [41] Nathan O. Sokal and Alan D. Sokal, "Classe E - A New Class of High-Efficiency Tuned Single-Ended Switching Power Amplifiers," *IEEE Journal of Solid-State Circuits*, vol. SC-10, no. 3, pp. 168–176, 1975.
- [42] F. Medeiro, A. Pérez-Verdú, and A. Rodríguez-Vásquez, *Top-Down Design of High-Performance Sigma-Delta Modulators*. Boston: Kluwer Academic Publishers, 1999.
- [43] A. B. Early, "Chopper stabilized delta-sigma analog-to-digital converter," U.S. Patent 4 939 516, July 3, 1990.
- [44] G. L. Schaffer, "Amplifier system," U.S. Patent 4 138 649, February 6, 1979.
- [45] B. Brandt, D. W. Wingard, and B. A. Wooley, "Second-order Sigma-Delta Modulation for Digital-Audio Signal Acquisition," *IEEE Journal of Solid State Circuits*, vol. 23, no. 4, pp. 618–627, 1991.
- [46] W. Rhee, "Design of High-Performance CMOS Charge Pumps in Phase Locked Loops," *Proceedings of the IEEE International Symposium on Circuits and Systems*, vol. 2, pp. 545–548, 1999.
- [47] N. H. E. Weste and K. Eshraghian, *Principles of CMOS VLSI Design*. London: Addison Wesley, 1993.
- [48] H. Chih-Ming and K. O. Kenneth, "A Fully Integrated 1.5V 5.5-GHz CMOS Phase-Locked Loop," *IEEE Journal of Solid State Circuits*, vol. 37, no. 4, pp. 521–525, 2002.
- [49] National Semiconductor Corporation, "An Analysis and Performance Evaluation of a Passive Filter Design Technique for Charge Pump PLL's." Application Note AN1001, July 2001.
- [50] Behzad Razavi, "A Study of Phase Noise in CMOS Oscillators," *IEEE Journal of Solid-State Circuits*, vol. 31, no. 3, pp. 331–343, 1996.

- [51] R. Jacob Baker, Harry W. Li, and David E. Boyce, *CMOS, Circuit Design, Layout, and Simulation*. New York: IEEE Press Series on Microelectronic Systems, 1997.
- [52] H. Sekiya, I. Sasase, and S. Mori, "Computation of Design Values for Class E Amplifiers Without Using Waveform Equations," *IEEE Transactions on Circuits and Systems - I: Fundamental Theory and Applications*, vol. 49, pp. 966–978, July 2002.
- [53] T. Chan and C. Toumazou, "Design of a class e power amplifier with non-linear transistor output capacitance and finite dc-feed inductance," *IEEE International Symposium on Circuits and Systems (ISCAS2001)*, vol. 1, pp. 129–132, May 2001.
- [54] D. Choi and S. Long, "A Physically Based Analytic Model of FET Class E Power Amplifiers - Designing for the Maximum PAE," *IEEE Transactions on Microwave Theory and Techniques*, vol. 47, pp. 1712–1720, September 1999.
- [55] F. H. Raab, "Idealized Operation of the Class E Tuned Power Amplifier," *IEEE Transactions on Circuits and Systems - I: Fundamental Theory and Applications*, vol. CAS-24, pp. 725–735, December 1977.
- [56] T. H. Lee, *The Design of CMOS Radio-Frequency Integrated Circuits*. London: Cambridge University Press, 1998.
- [57] R. E. Zulinski and J. W. Steadman, "Class-E power amplifiers and frequency multipliers with finite dc feed inductance," *IEEE Transactions on Circuits and Systems*, vol. CAS-34, pp. 1074–1087, September 1987.
- [58] R. Morais, A. Valente, C. Couto, and J. H. Correia, "A Wireless RF CMOS Interface for a Soil Moisture Sensor," in *Euroensors, the 17th European Conf. on Solid-State Transducers*, (Guimarães, Portugal), September 2003.



Processo de Fabrico CMOS *Alcatel–Mietec C07M-A*

Características gerais

Processo misto, derivado de um totalmente digital com duas camadas de metal (2M), uma de polissilício (1P), uma camada de óxido fino (PDIFFC), adequado à implementação de condensadores de elevada linearidade e precisão, e uma de polissilício de elevada resistividade (HIPOR), para implementação de resistências de elevado valor óhmico.

- *Precision highly linear thin oxide poly/dif capacitors,*
- *Precision high ohmic polysilicon resistors,*
- *Low V_t PMOS transistor,*
- *Self aligned twin-well CMOS process,*
- *Optimised LOCOS for device isolation with reduced birdsbeak,*
- *n +doped polysilicon gate,*
- *NMOS & PMOS : LDD and Spacers for improved linearity & hot carrier, resistance,*
- *Ti based barrier for lower contact resistivity,*
- *Aluminium alloy based metallisation for low interconnect resistivity,*
- *Nitride based passivation.*

Resistências

- Flutuantes : independente da tensão aplicada
- Elevada resistividade : $2\text{ K}\Omega/\square \pm 20\%$ (HIPOR)
- Coeficiente de temperatura negativo : $-2250\text{ ppm}/^\circ\text{C}$ (a 25°C)
- Emparelhamento : $(R_2/R_1 - 1 < 0,5\%)$

Condensadores

- Dopagem especial : *Poly/oxide/diffusion* (PDIFFC)
- Elevado valor : $750\text{ pF}/\text{mm}^2$ (45 nm)
- Elevada linearidade : $30\text{ ppm}/\text{V}$ (típico)

Transístores / modelos SPICE

Símbolo	SPICE	Descrição	Valor
NMOS Typical, LEVEL 3			
t_{ox}	TOX	Espessura do óxido de silício	$175 \times 10^{-10}\text{ m}$
μ_n	UO	Mobilidade dos portadores de carga à superfície	$466\text{ cm}^2\text{ V}^{-1}\text{ s}^{-1}$
V_{TN}	VTO	Tensão de limiar para $v_{\text{sb}} = 0$	$0,77\text{ V}$
KP_n	KPN	Parâmetro de transcondutância em saturação	$92\text{ }\mu\text{A}/\text{V}^2$
C_{ox}	COX	Capacidade entre a porta e o substrato por unidade de área	$1,973 \times 10^{-3}\text{ F}/\text{m}^2$
N_A	NSUB	Dopagem do substrato	$7,35 \times 10^{16}\text{ cm}^{-3}$
R_{SH}	RSH	Resistividade do dreno/fonte	$520\text{ }\Omega/\square$
θ	THETA	Factor de degradação da mobilidade	$0,07\text{ V}^{-1}$
γ	GAMMA	Coeficiente do efeito de modulação do comprimento do canal	$0,79\text{ V}^{1/2}$
$ 2\phi_f $	PHI	Potencial de superfície em inversão forte	$0,8\text{ V}$
δ	DELTA	Factor de ajuste da tensão de limiar para transístores estreitos	$0,85$
	KAPPA	Factor de saturação na modulação do comprimento do canal	$1 \times 10^{-3}\text{ V}^{-1}$
	NFS	Parâmetro de modelização da inversão fraca	$1,9 \times 10^{11}\text{ cm}^{-2}$
	XJ	Profundidade da junção	$0,05 \times 10^{-6}\text{ m}$

(continua na página seguinte)

(continuação)

Símbolo	SPICE	Descrição	Valor
Φ_0	WD	Tolerância na largura W	$0,05 \times 10^{-6} \text{ m}$
	ETA	Factor de ajuste da tensão de limiar	$5,2 \times 10^{-3}$
	PB	Potencial da junção <i>source-drain</i>	$0,73 \text{ V}$
	FC	Coefficiente de polarização directa da junção	$0,5$
	JS	Densidade de corrente inversa de saturação	$1 \times 10^{-3} \text{ A m}^{-2}$
C_{j0}	CJ	Capacidade da junção <i>source-drain</i> por unidade de área	$5 \times 10^{-4} \text{ F m}^{-2}$
C'_{jsw}	CJSW	Capacidade lateral da junção <i>source-drain</i> por unidade de comprimento	$2,8 \times 10^{-10} \text{ F m}^{-1}$
	MJ	Coefficiente de variação da junção <i>source-drain</i>	$0,35$
	MJSW	Coefficiente de variação lateral da junção <i>source-drain</i>	$0,21$
C'_{gs0}	CGS0	Capacidade de sobreposição <i>gate-source</i> por unidade de largura	$4 \times 10^{-10} \text{ F m}^{-1}$
C'_{gd0}	CGD0	Capacidade de sobreposição <i>gate-drain</i> por unidade de largura	$4 \times 10^{-10} \text{ F m}^{-1}$
	KF	Coefficiente para determinação do ruído de <i>flicker</i>	3×10^{-28}
	AF	Expoente para a determinação do ruído de <i>flicker</i>	1

PMOS Typical, LEVEL 3

t_{ox}	TOX	Espessura do óxido de silício	$180 \times 10^{-10} \text{ m}$
μ_p	UO	Mobilidade dos portadores de carga à superfície	$156 \text{ cm}^2 \text{ V}^{-1} \text{ s}^{-1}$
V_{TP}	VTO	Tensão de limiar para $v_{sb} = 0$	$-1,0 \text{ V}$
KP_p	KPP	Parâmetro de transcondutância em saturação	$30 \mu\text{A/V}^2$
N_A	NSUB	Dopagem do substrato	$3,5 \times 10^{16} \text{ cm}^{-3}$
R_{SH}	RSH	Resistividade do dreno/fonte	$870 \Omega/\square$
θ	THETA	Factor de degradação da mobilidade	$0,13 \text{ V}^{-1}$
$ 2\phi_f $	PHI	Potencial de superfície em inversão forte	$0,76 \text{ V}$
δ	DELTA	Factor de ajuste da tensão de limiar para transístores estreitos	$0,8$
	KAPPA	Factor de saturação na modulação do comprimento do canal	$1 \times 10^{-3} \text{ V}^{-1}$
	NFS	Parâmetro de modelização da inversão fraca	$8,9 \times 10^{10} \text{ cm}^{-2}$
	XJ	Profundidade da junção	$0,025 \times 10^{-6} \text{ m}$
	WD	Tolerância na largura W	$0,075 \times 10^{-6} \text{ m}$
	ETA	Factor de ajuste da tensão de limiar	30×10^{-3}

(continua na página seguinte)

(continuação)

Símbolo	SPICE	Descrição	Valor
Φ_0	PB	Potencial da junção <i>source-drain</i>	0,9 V
	FC	Coeficiente de polarização directa da junção	0,5
	JS	Densidade de corrente inversa de saturação	$1 \times 10^{-3} \text{ A m}^{-2}$
C_{j0}	CJ	Capacidade da junção <i>source-drain</i> por unidade de área	$6 \times 10^{-4} \text{ F m}^{-2}$
C_{jsw}	CJSW	Capacidade lateral da junção <i>source-drain</i> por unidade de comprimento	$3,6 \times 10^{-10} \text{ F m}^{-1}$
	MJ	Coeficiente de variação da junção <i>source-drain</i>	0,51
	MJSW	Coeficiente de variação lateral da junção <i>source-drain</i>	0,35
C_{gs0}	CGS0	Capacidade de sobreposição <i>gate-source</i> por unidade de largura	$1 \times 10^{-10} \text{ F m}^{-1}$
C_{gd0}	CGD0	Capacidade de sobreposição <i>gate-drain</i> por unidade de largura	$1 \times 10^{-10} \text{ F m}^{-1}$
	KF	Coeficiente para determinação do ruído de <i>flicker</i>	5×10^{-30}
	AF	Expoente para a determinação do ruído de <i>flicker</i>	1